

UNIVERSIDADE FEDERAL DE PELOTAS
Centro de Desenvolvimento Tecnológico
Programa de Pós-Graduação em Computação



Dissertação

**Comparação de diferentes topologias de portas XOR em uma tecnologia de
45-nm**

Leonardo Campos Soares

Pelotas, 2016

Leonardo Campos Soares

Comparação de diferentes topologias de portas XOR em uma tecnologia de 45-nm

Dissertação apresentada ao Programa de Pós-Graduação em Computação da Universidade Federal de Pelotas, como requisito parcial à obtenção do título de Mestre em Ciência da Computação

Orientador: Prof. Dr. Denis Franco
Coorientador: Prof. Dr. Felipe de Souza Marques

Pelotas, 2016

Universidade Federal de Pelotas / Sistema de Bibliotecas
Catalogação na Publicação

S676c Soares, Leonardo Campos

Comparação de diferentes topologias de portas XOR em uma tecnologia de 45-nm / Leonardo Campos Soares ; Denis Franco, orientadora ; Felipe de Souza Marques, coorientador. — Pelotas, 2016.

102 f. : il.

Dissertação (Mestrado) — Programa de Pós-Graduação em Computação, Centro de Desenvolvimento Tecnológico, Universidade Federal de Pelotas, 2016.

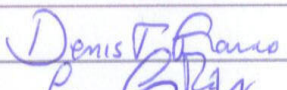
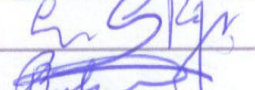
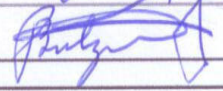
1. Portas XOR. 2. PTL. 3. CMOS. 4. FreePDK 45. I. Franco, Denis, orient. II. Marques, Felipe de Souza, coorient. III. Título.

CDD : 005

MEMBROS DA BANCA EXAMINADORA	TÍTULO	ASSINATURA
	UNIVERSIDADE FEDERAL DE PELOTAS PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO DEPARTAMENTO DE PÓS-GRADUAÇÃO	
		5

DEFESA DE DISSERTAÇÃO

NOME DO ESTUDANTE	MATRICULA
LEONARDO CAMPOS SOARES	14101516
CURSO OU PROGRAMA	NÍVEL
MESTRADO EM CIÊNCIA DA COMPUTAÇÃO PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO	MESTRADO

MEMBROS DA BANCA EXAMINADORA	TÍTULO	ASSINATURA
Denis Franco (PPGC-UFPeI)	DOUTOR	
Leomar da Rosa Junior (PPGC-UFPeI)	DOUTOR	
Paulo Francisco Butzen (FURG)	DOUTOR	

APRECIAÇÃO SOBRE A DISSERTAÇÃO

NÃO SIGILOSA

Em 16 de Setembro de 2016, os membros acima nomeados para a defesa da Dissertação do(a) estudante **LEONARDO CAMPOS SOARES**, matriculado no Programa de Pós-Graduação em Computação, consideraram a Dissertação **aprovada**, estabelecendo o título definitivo como sendo "**COMPARAÇÃO DE DIFERENTES TOPOLOGIAS DE PORTAS XOR EM UMA TECNOLOGIA DE 45-nm**" e estabelecem um prazo máximo de 30 dias para as correções e entrega da versão definitiva.

DADOS PESSOAIS DOS MEMBROS DA BANCA EXAMINADORA

NOME COMPLETO	CPF	ANO NASCIMENTO	TITULAÇÃO		
			Área	Local	Ano
Denis Franco (PPGC-UFPeI)	62026925020	1971	Ciência da Computação	Ecole Nationale Supérieure des Telecommunications	2008
Leomar da Rosa Junior (PPGC-UFPeI)	92133606068	1976	Engenharia Elétrica	UFRGS	2008
Paulo Francisco Butzen (FURG)	919.335.950-00	1980	Microeletrônica	UFRGS	2012

1ª Via – Coordenador do Curso; 2ª Via – Orientador; 3ª Via – PRPPG.
DISTRIBUIÇÃO A CARGO DA COORDENAÇÃO DO PROGRAMA.

AGRADECIMENTOS

Quero agradecer a minha família, cujo apoio diário tornou possível esta jornada.

Agradeço ao meu orientador Prof. Dr. Denis Franco, pela grande paciência, valiosas contribuições e incentivo na realização deste trabalho, ao meu co-orientador, Prof. Dr. Felipe Marques e ao Prof. Dr. Leomar da Rosa Júnior cujas aulas despertaram meu interesse para o tema deste trabalho, e ao Prof. Dr. Adenauer Yamin, que generosamente forneceu toda a orientação necessária para que eu ingressasse no PPGC-UFPel.

Agradeço aos colegas do mestrado Thiago Davison, Wilson Cardoso, Rodrigo Lellis e Wagner Penny, que muito contribuíram para realização deste trabalho pelo suporte mútuo durante todo o tempo em que estivemos juntos.

Agradeço à todos os colegas de trabalho, especialmente aos meus colegas de área pela oportunidade de afastamento durante parte do período do curso.

Agradeço aos vários amigos que, em muitos momentos forneceram o suporte e incentivo necessário ao meu sucesso nesta tarefa.

**A mente que se abre a uma nova idéia jamais
voltará ao seu tamanho original.**

— ALBERT EINSTEIN

RESUMO

SOARES, Leonardo Campos. **Comparação de diferentes topologias de portas XOR em uma tecnologia de 45-nm.** 2016. 103 f. Dissertação (Mestrado em Ciência da Computação) – Programa de Pós-Graduação em Computação, Centro de Desenvolvimento Tecnológico, Universidade Federal de Pelotas, Pelotas, 2016.

Sistemas digitais estão presentes em grande parte das atividades humanas, e cada vez mais as pessoas interagem diariamente com uma série de circuitos nos mais diversos tipos de equipamentos. As dimensões nanométricas dos atuais dispositivos integrados geram uma série de desafios a serem superados, entre eles a otimização de circuitos para que tenham alto desempenho e baixo consumo, preenchendo requisitos cada vez mais rígidos para que sejam apropriados ao uso em sistemas portáteis de alto desempenho. As portas lógicas XOR (Ou-Exclusivo) possuem papel fundamental para a funcionalidade de diversos circuitos lógicos e o projeto de portas lógicas XOR de alto desempenho, com imunidade a ruídos e baixo consumo de energia constitui importante frente de pesquisa na área de projeto de circuitos integrados. Baseando-se nas regras dos estilos lógicos mais utilizados, CMOS e PTL, muitos arranjos de portas XOR têm sido propostos. Este trabalho apresenta uma investigação sobre estes arranjos e as técnicas que fundamentam seu projeto, bem como os estilos híbridos que têm sido propostos. São avaliados vinte e dois arranjos XOR propostos na literatura com os resultados obtidos em simulações de consumo e atraso para uma tecnologia de 45-nm.

Palavras-chave: Portas XOR, CMOS, PTL, FreePDK 45.

ABSTRACT

SOARES, Leonardo Campos. **Comparison of different topologies XOR gates in a 45-nm technology**. 2016. 103 f. Dissertação (Mestrado em Ciência da Computação) – Programa de Pós-Graduação em Computação, Centro de Desenvolvimento Tecnológico, Universidade Federal de Pelotas, Pelotas, 2016.

Digital systems are present in most human activities, and an increasing number of people interact daily with a series of circuits in a wide range of equipments. The nanometric dimensions of the current integrated devices generate a series of challenges to be overcome, including the circuit optimization in order to have high performance and low consumption, filling increasingly stringent requirements to be suitable for use in high-performance portable systems. The XOR logic gates (Exclusive-OR) play a fundamental role for the functionality of various logic circuits and the project of high performance XOR logic gates, with noise immunity and low power consumption, consists in an important line of research in the field of integrated circuits project. Based on the rules of the most used logic styles, CMOS and PTL, many XOR gates arrangements have been proposed. This paper presents an investigation into these arrangements and the techniques that underlie their design, as well as hybrid styles that have been proposed. There's an evaluation of twenty-two XOR arrangements proposed in literature, with the results obtained from consumption and delay simulations for a 45-nm technology.

Keywords: XOR gates, CMOS, PTL, FreePDK 45.

LISTA DE FIGURAS

Figura 1	Sinal digital e sinal analógico	14
Figura 2	Representação gráfica e tabela-verdade das funções lógicas básicas	18
Figura 3	Representação gráfica da porta lógica XOR	19
Figura 4	Somador completo de 1-bit com uso de XOR	20
Figura 5	Gerador de paridade com XOR	20
Figura 6	Estrutura básica de um Transistor	21
Figura 7	Estrutura de transistores nMOS e pMOS	22
Figura 8	Funcionamento de transistores nMOS e pMOS	23
Figura 9	Arranjos CMOS para portas lógicas NOT, NAND e NOR	23
Figura 10	Portas NAND e NOR com lógica PTL	24
Figura 11	Somador completo utilizando arranjos CMOS(NAND) e PTL(XOR) .	26
Figura 12	Arranjos XOR CMOS e PTL utilizados por BUI; AL-SHERAIDAH; WANG (2000)	28
Figura 13	Arranjo XOR proposto por BUI; AL-SHERAIDAH; WANG (2000) . .	29
Figura 14	Circuito para teste dos arranjos XOR em SILVA (2014a)	29
Figura 15	Arranjos XOR CMOS e PTL avaliados em SILVA (2014a)	30
Figura 16	Arranjos XOR CMOS e PTL avaliados em SILVA (2014b)	32
Figura 17	Estágio XOR/XNOR do somador de GOEL; KUMAR; BAYOUMI (2006)	33
Figura 18	Estágios XOR/XNOR comparados à proposta	33
Figura 19	Circuito do somador proposto por GOEL; KUMAR; BAYOUMI (2006)	34
Figura 20	Somador PTL baseado em Shannon proposto por PURNIMA (2012)	35
Figura 21	XOR e XNOR CMOS estático	35
Figura 22	Portas XOR e XNOR PTL	36
Figura 23	Portas XOR e XNOR DPL	37
Figura 24	Portas XOR e XNOR baseadas em inversores	38
Figura 25	Portas XOR e XNOR de alta performance baseadas em <i>Transmis-</i> <i>sion gates</i> (TG)	38
Figura 26	Portas XOR e XNOR baseadas em <i>Transmission gates</i> (TG)	39
Figura 27	Porta XOR com célula GDI	39
Figura 28	Circuitos XOR/XNOR otimizados	40
Figura 29	Circuitos XOR/XNOR propostos por GOEL; ELGAMEL; BAYOUMI (2003)	41
Figura 30	Arranjos descartados	42
Figura 31	Arranjos selecionados	43
Figura 32	Circuito de testes	48

Figura 33	Validação lógica do arranjo XOR 30	51
Figura 34	Correção do arranjo XOR 7	52
Figura 35	Correção do arranjo XOR 22	52
Figura 36	Gráfico de tempos de propagação	54
Figura 37	Entradas e saída do arranjo XOR 26	54
Figura 38	Sinal de saída da XOR 7	55
Figura 39	Gráfico de tempos de propagação	60
Figura 40	Gráfico de consumo estático	65
Figura 41	Gráfico de consumo dinâmico	68
Figura 42	Consumo dinâmico X Atraso de propagação	72
Figura 43	Consumo estático X Atraso de propagação	73
Figura 44	Consumo dinâmico X Área	74

LISTA DE TABELAS

Tabela 1	Expressões matemáticas para funções lógicas básicas	18
Tabela 2	Tabela-verdade da função XOR	19
Tabela 3	Comparação de arranjos XOR, NAND e AND	25
Tabela 4	Resultado das simulações do estágio inicial do somador proposto por GOEL; KUMAR; BAYOUMI (2006)	34
Tabela 5	Características dos Arranjos	44
Tabela 6	Tamanhos dos transistores	48
Tabela 7	Tempos de transição e variação dos tempos em função da temperatura	53
Tabela 8	Tempos de descida e subida da XOR 7	55
Tabela 9	Excursão do sinal de saída dos arranjos para três faixas de tensão	57
Tabela 10	Tempos de propagação e variação percentual em relação à XOR 14	58
Tabela 11	Tempos médios de propagação e variação percentual em relação à XOR 22	59
Tabela 12	Desvio padrão dos tempos de propagação	61
Tabela 13	Variação dos tempos de propagação em função da variação de temperatura	62
Tabela 14	Variação da média do tempos de propagação em função da variação de temperatura	63
Tabela 15	Consumo estático e variação percentual do consumo em relação à XOR 23	64
Tabela 16	Variação do consumo estático em função da variação de temperatura e do tamanho dos transistores	66
Tabela 17	Consumo dinâmico e variação percentual no consumo em relação à XOR 23	67
Tabela 18	Variação percentual do consumo dinâmico em função da temperatura e do tamanho dos transistores	69
Tabela 19	Área dos arranjos	70
Tabela 20	Arranjos com problemas em métricas de excursão de sinal e tempos	71
Tabela 21	Arranjos com problemas em métricas de consumo	71

LISTA DE ABREVIATURAS E SIGLAS

AC	<i>Alternate Current</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CPL	<i>Complementary Pass-Transistor Logic</i>
DC	<i>Design Compiler</i>
DPL	<i>Dual Pass-Transistor Logic</i>
EDP	<i>Energy-Delay Product</i>
GDI	<i>Gate Difusion Input</i>
MCIT	<i>Multiplexing Control Input Technique</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
NBTI	<i>Negative Bias Temperature Instability</i>
PBTI	<i>Positive Bias Temperature Instability</i>
PDP	<i>Power-Delay Product</i>
PTL	<i>Pass-Transistor Logic</i>
ROBDD	<i>Reduced Ordered Binary Decision Diagram</i>
TG	<i>Transmission Gate</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
UMC	<i>United Microelectronics Corporation</i>
VLSI	<i>Very Large Scale Integration</i>

SUMÁRIO

1	INTRODUÇÃO	14
1.1	Motivação	15
1.2	Objetivos	15
1.3	Organização do Trabalho	16
2	CONCEITOS BÁSICOS	17
2.1	Funções Booleanas Básicas	17
2.2	A Função XOR	18
2.3	Transistores e Lógicas CMOS e PTL	21
2.3.1	Transistores MOSFET	21
2.3.2	Lógica CMOS	22
2.3.3	Lógica PTL	24
2.3.4	Estilos híbridos CMOS/PTL	25
3	TOPOLOGIAS DE PORTAS XOR PROPOSTAS NA LITERATURA	27
3.1	Trabalhos relacionados	27
3.2	Características dos principais arranjos XOR citados	41
4	METODOLOGIA	46
4.1	Classificação dos arranjos quanto à lógica CMOS ou PTL	47
4.2	Validação lógica dos arranjos	47
4.3	Dimensionamento dos transistores	47
4.3.1	Relação P-N	47
4.3.2	Tamanhos dos transistores testados	47
4.4	Temperaturas de teste	48
4.5	Circuito de teste	48
4.6	Testes de transição do sinal	49
4.7	Testes de tempo de propagação	49
4.8	Testes de consumo	49
4.9	Cálculo da área	50
5	RESULTADOS OBTIDOS	51
5.1	Validação dos arranjos	51
5.2	Tempos de transição	52
5.3	Excursão do sinal na saída	56
5.4	Atraso de propagação	58
5.5	Consumo de energia	64
5.5.1	Consumo estático	64

5.5.2	Consumo dinâmico	66
5.6	Área dos arranjos	70
5.7	Resumo dos resultados	70
6	CONCLUSÃO E TRABALHOS FUTUROS	75
6.1	Conclusão	75
6.2	Trabalhos futuros	76
	REFERÊNCIAS	77
	APÊNDICE A	79
	APÊNDICE B	91
	APÊNDICE C	96
	APÊNDICE D	98

1 INTRODUÇÃO

A invenção do transistor, em 1947, deu início à era moderna da eletrônica. Antes, circuitos eletrônicos eram baseados em válvulas a vácuo, grandes, lentas, caras e pouco confiáveis. O silício substituiu o germânio, primeiro semicondutor utilizado na fabricação de transistores, como material mais utilizado pela indústria (PEDRONI, 2010).

Desde o desenvolvimento do primeiro circuito integrado em 1958, circuitos e sistemas digitais ganharam, progressivamente, espaço no cotidiano das pessoas, que lidam diariamente com relógios, telefones celulares, computadores, calculadoras, cartões de banco, fornos de micro-ondas, automóveis, televisores, rádios e uma série de outros equipamentos de uso rotineiro (WAGNER; REIS; RIBAS, 2006). Um sistema digital processa sinais que podem assumir um número finito de valores discretos, através de amostragens identificáveis no tempo, enquanto sistemas analógicos operam sobre sinais que podem assumir valores de um conjunto contínuo (infinito), conforme apresenta a figura 1.

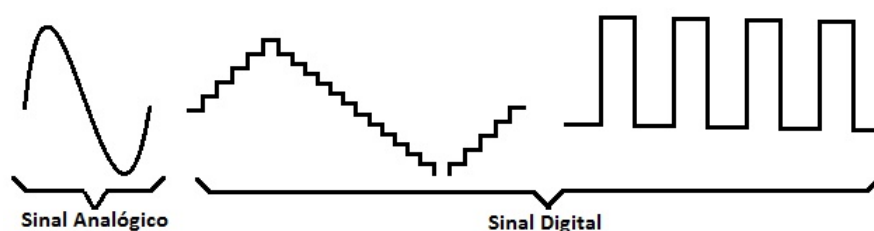


Figura 1: Sinal digital e sinal analógico

Sistemas digitais já utilizaram diversos tipos de sinais para processar informação, mas os sistemas modernos utilizam uma representação binária, ou seja, apenas dois níveis de sinal são admitidos para processamento (PARHAMI, 2007). A grande simplicidade associada à possibilidade de interpretar e produzir apenas dois níveis de sinal elétrico é uma das responsáveis pela revolução digital atual (WAGNER; REIS; RIBAS, 2006).

1.1 Motivação

A crescente miniaturização dos sistemas de hardware e o consequente advento da computação móvel determinou novos desafios ao projeto de circuitos integrados, entre eles, o controle de variáveis relacionadas a consumo de energia e ao controle das correntes de fuga relacionadas às dimensões nanométricas dos circuitos.

O principal foco do desenvolvimento de hardware é a redução das dimensões dos circuitos, permitindo a integração de mais componentes em uma mesma área, com consequente aumento da capacidade de processamento ou armazenamento de dados, e impactos positivos na dissipação de potência e velocidade dos circuitos, devido à redução das capacitâncias parasitas (BUTZEN et al., 2009).

Somadores, comparadores e geradores de paridade são componentes de hardware que fazem parte do caminho crítico de dados de muitos sistemas digitais, onde é consumido aproximadamente 30% do total da energia empregada em seu funcionamento (GOEL; KUMAR; BAYOUMI, 2006). Estes circuitos fazem uso intensivo de portas lógicas XOR, o que as torna um importante tema de pesquisa na área de desenvolvimento de hardware.

Em diversos trabalhos são propostos arranjos XOR e comparados a outros desenhos de arranjos em relação a atraso de propagação, consumo dinâmico, consumo estático, imunidade à ruídos, variação de atraso e consumo em relação à variação de temperatura, entre outras métricas. Os trabalhos avaliam, geralmente, um ou dois destes aspectos. Arranjos que implementam funções XOR e XNOR no mesmo circuito, assim como somadores e outros circuitos baseados em lógica XOR também são constantemente propostos e comparados na literatura.

Os trabalhos existentes na área não avaliam o mesmo conjunto de arranjos avaliado neste trabalho. O conhecimento das características de um grande número de arranjos XOR possibilita a escolha dos que melhor se adaptam a aplicações que demandem prioritariamente melhor desempenho, menor consumo de energia, maior imunidade a ruídos ou quaisquer tipo de relação que se considere adequada entre estes parâmetros. A avaliação de vinte e dois arranjos XOR utilizando o mesmo método de validação amplia os trabalhos relacionados ao incluir maior número de circuitos e quantidade de parâmetros avaliados, possibilitando compará-los efetivamente em uma quantidade maior de aspectos.

1.2 Objetivos

Sendo a lógica XOR um importante recurso no desenvolvimento de circuitos, especialmente circuitos aritméticos e comparadores, vários projetos de portas lógicas XOR foram desenvolvidos, usando vários dos estilos lógicos disponíveis. O objetivo deste trabalho é avaliar vinte e dois arranjos XOR baseados nas lógicas Complementary

Metal-Oxide-Semiconductor (CMOS) e Pass-Transistor Logic (PTL), para utilização em tecnologias sub-micrônicas, relacionando características topológicas, lógicas e de desempenho, determinando vantagens e desvantagens de cada arranjo segundo critérios de atraso de propagação e consumo de energia, em função de variações de temperatura e tamanho dos transistores.

Como objetivos específicos, este trabalho deve apresentar:

- a modelagem SPICE das vinte e duas implementações da função XOR, nas lógicas CMOS e PTL, para a tecnologia de 45-nm;
- a caracterização elétrica das implementações descritas, de acordo com as métricas de interesse, como tempos de propagação e transição, consumo estático e dinâmico;

1.3 Organização do Trabalho

Este trabalho está estruturado em seis capítulos. O segundo capítulo descreve as funções lógicas básicas, AND, OR, NOT, NAND e NOR, e descreve mais detalhadamente a função XOR e suas aplicações, apresentando conceitos de projeto CMOS e PTL para a construção de circuitos. O terceiro capítulo investiga os trabalhos relacionados que avaliam arranjos XOR e delimita os arranjos XOR mais considerados atualmente para o projeto de circuitos integrados, relacionando características dos arranjos que são ressaltadas pelos autores dos trabalhos. Os critérios para obtenção e validação dos resultados são descritos no quarto capítulo e os resultados obtidos no quinto. O sexto capítulo apresenta as conclusões do trabalho.

2 CONCEITOS BÁSICOS

Funções booleanas são objetos matemáticos que associam elementos de dois conjuntos que recebem o nome de domínio e imagem, associando elementos de um conjunto aos do outro. Segundo Wagner (2006, p 7), uma função booleana é uma função onde tanto as entradas (conjunto domínio) como a saída (conjunto imagem) são compostas de variáveis booleanas. Assim, uma função de N variáveis de entrada associa o valor de saída '0' ou '1' a uma sequência de N bits que representa os valores booleanos das variáveis de entrada. Portanto, a imagem de uma função booleana é composta do conjunto $\{0,1\}$, enquanto o domínio é composto de um ou mais bits.

2.1 Funções Booleanas Básicas

Circuitos digitais podem ser descritos por funções booleanas, que descrevem a forma como o circuito processa os sinais que recebe (PEDRONI, 2010). As funções básicas são NOR, NAND, OR, AND e NOT. A função NOT é a mais simples e implementa a operação $X = \text{NOT } A$, ou $X = \neg A$, onde o sinal de saída (X) é o inverso, ou complemento, do sinal de entrada. A função OR implementa a operação $X = A \text{ OR } B$, $X = A \vee B$, ou $X = A + B$, onde "+" representa a disjunção lógica, e não uma adição aritmética. Caso uma ou mais das entradas de uma função OR seja 'alta', a saída será obrigatoriamente 'alta'. A função AND, por sua vez, $X = A \text{ AND } B$, $X = A \wedge B$, ou $X = A.B$, terá saída 'alta' somente quando todas as entradas forem 'altas' (PEDRONI, 2010). As funções NAND e NOR, mais utilizadas devido à implementação em lógica direta no nível de transistores MOS, apresentam saída inversa ou complementar às funções AND e OR. De fato, as funções NAND e NOR são composições de AND e OR com a função NOT.

Na figura 2 vê-se duas formas de representação de funções booleanas: símbolos e tabelas-verdade. Funções booleanas podem também ser representadas por expressões matemáticas, tratadas pela álgebra booleana, conforme mostrado na Tabela 1.

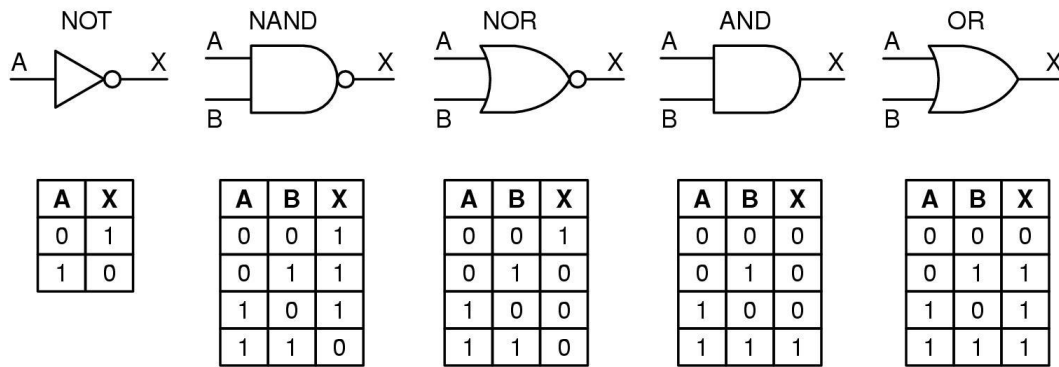


Figura 2: Representação gráfica e tabela-verdade das funções lógicas básicas

Tabela 1: Expressões matemáticas para funções lógicas básicas

NOT	NAND	NOR	AND	OR
$S = \neg A$	$S = \neg(A \wedge B)$	$S = \neg(A \vee B)$	$S = (A \wedge B)$	$S = (A \vee B)$

2.2 A Função XOR

Além das funções básicas apresentadas na seção anterior, outras funções booleanas podem ser definidas e utilizadas no projeto de circuitos digitais. A função XOR, ou função OU-Exclusivo, é amplamente utilizada em circuitos digitais, e, por suas propriedades, tem importância fundamental na composição de vários circuitos, como, por exemplo, somadores, comparadores, geradores de paridade e corretores/detectores de erros (WANG J-M.AND FANG; FENG, 1994). A função XOR produz uma saída lógica '1' quando o número de entradas 'altas' é ímpar (PARHAMI, 2007), correspondendo a uma função equivalente à adição binária ordinária, e também à função de determinação de paridade de códigos binários. A função XOR implementa a operação $X = A \text{ XOR } B$, ou $X = A \oplus B$, onde o símbolo $\oplus$ representa a função XOR. A tabela-verdade da função XOR é mostrada na tabela 2. A tabela demonstra a facilidade inerente à função em ser utilizada em verificação de paridade ou como somador.

Tabela 2: Tabela-verdade da função XOR

A	B	$X=A\oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

A porta lógica XOR é representada graficamente pelo símbolo indicado na figura 3.

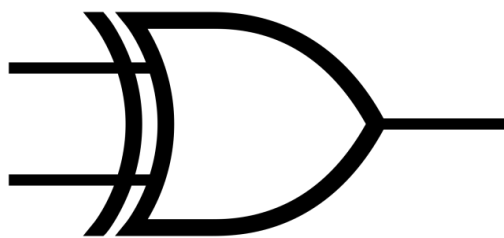


Figura 3: Representação gráfica da porta lógica XOR

Considerando uma outra forma de representação aplicável a funções booleanas, a expressão booleana da função XOR pode ser vista abaixo.

$$X = (\neg A) \cdot B + A \cdot (\neg B)$$

A figura 4 apresenta um somador completo de 1-bit, no qual às entradas e o *carry in* estão associados à portas XOR. A soma, neste projeto, é integralmente feita por portas XOR, sendo as demais portas lógicas presentes no circuito dedicadas a geração do *carry out*. O sinal de saída da soma é a saída de uma das portas XOR presentes no somador.

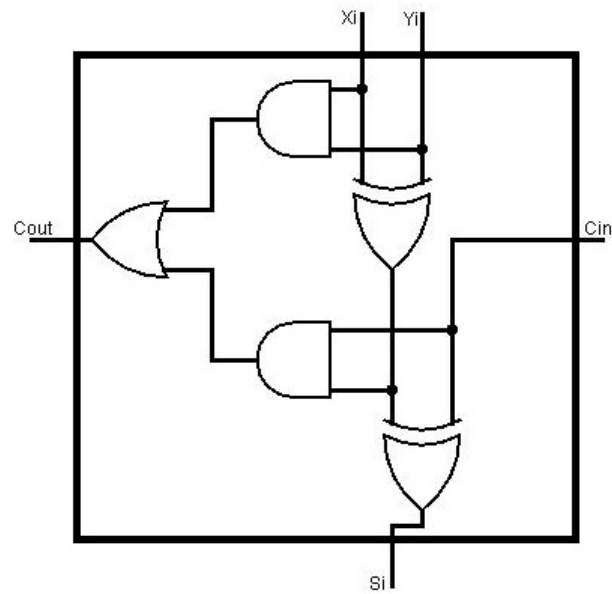


Figura 4: Somador completo de 1-bit com uso de XOR

O gerador de paridade exibido na figura 5 é baseado integralmente em lógica XOR, e compara os 8 bits de entrada com a paridade desejada.

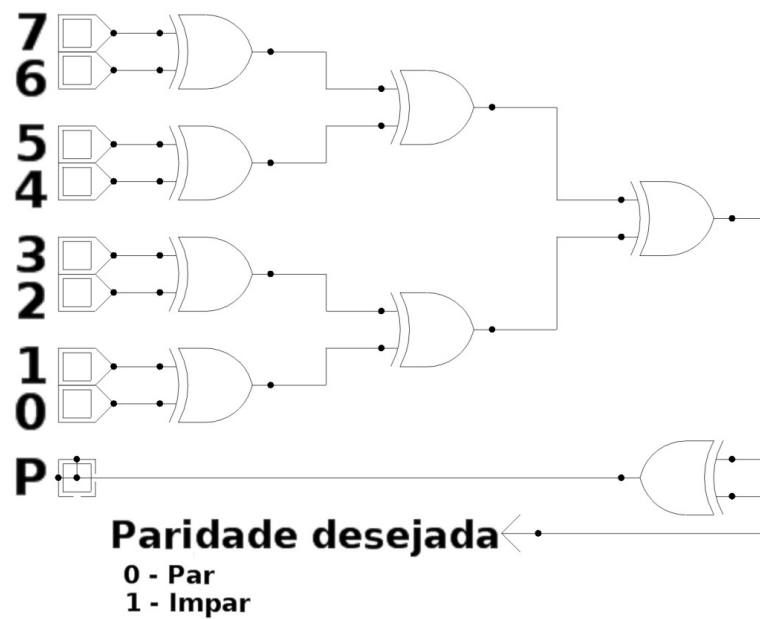


Figura 5: Gerador de paridade com XOR

2.3 Transistores e Lógicas CMOS e PTL

2.3.1 Transistores MOSFET

Um transistor do tipo MOSFET é, de maneira simplificada, uma ‘chave lógica’ composta de quatro terminais: *source* (S), *gate* (G), *drain* (D) e *bulk* (B), conforme mostrado na Figura 6. O valor da tensão aplicada ao terminal de controle (*gate*) determina a existência ou não de um canal condutor entre os outros dois terminais (*source* e *drain*). O *bulk* é a camada de silício sobre a qual o transistor é construído, e tem polaridade fixa de acordo com o tipo de transistor (nMOS ou pMOS). L representa o comprimento do canal do transistor, medida que também caracteriza a tecnologia utilizada (BUTZEN et al., 2009).

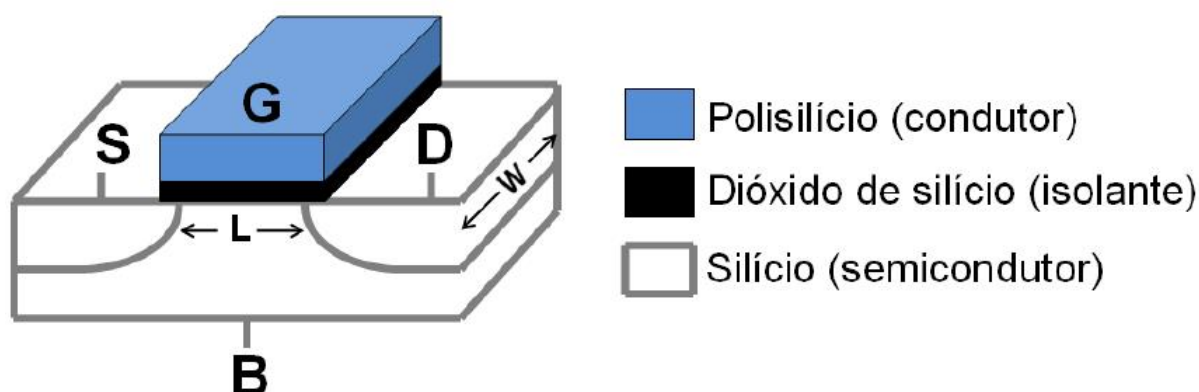


Figura 6: Estrutura básica de um Transistor

Fonte:(BUTZEN et al., 2009)

A estrutura de um transistor é simétrica em relação aos terminais de *source* e *drain*, que recebem estes nomes devido à polaridade das tensões aplicadas a eles externamente (REIS, 2002).

Segundo REIS (2002), o dreno, ou *drain* é o terminal mais positivo e a fonte, ou *source*, o terminal de potencial mais baixo. A porta, ou *gate*, controla o fluxo dos portadores no canal, proporcionalmente ao valor da tensão positiva aplicada entre ela e o terminal da fonte. O substrato, ou *bulk*, é a base de silício onde é construída a estrutura. No transistor com canal n o substrato deve ser conectado ao potencial mais baixo de todo o circuito. O transistor com canal p apresenta a mesma estrutura do transistor com canal n, mas com polaridades de operação invertidas.

As características de condutividade dos transistores nMOS e pMOS são obtidas em seu processo de fabricação, através da inserção de determinados elementos químicos que aumentam a condutividade dos semicondutores, rearranjando sua estrutura atômica, deixando livres cargas positivas ou negativas, dependendo da quantidade de elétrons em sua camada de valência (BUTZEN et al., 2009). A Figura 7

mostra a estrutura dos transistores nMOS e pMOS, onde N+ representa as regiões dopadas negativamente, ou seja, ricas em elétrons livres, e P+ representa as regiões dopadas positivamente, ou seja, com maior concentração de íons aceitadores (REIS, 2002).

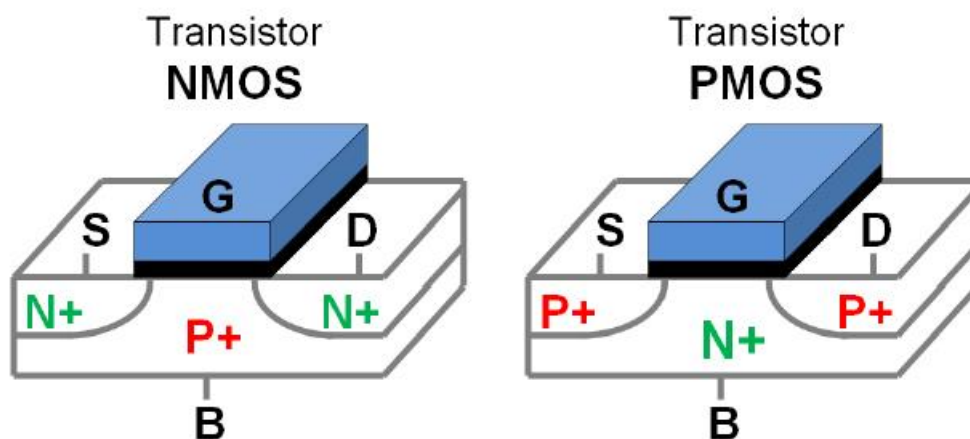


Figura 7: Estrutura de transistores nMOS e pMOS
Fonte:(BUTZEN et al., 2009)

2.3.2 Lógica CMOS

A lógica CMOS faz uso de transistores do tipo nMOS e pMOS. Transistores do tipo nMOS são capazes de conduzir um sinal baixo (valor lógico 0) sem degradação, mas sua capacidade de conduzir um sinal alto (valor lógico 1) é reduzida. De forma contrária, um transistor pMOS é capaz de transmitir sem degradação um sinal alto, mas não possui a mesma capacidade em relação a um sinal baixo. Para operação com um *fan-out* (número de portas ao qual a saída de uma porta pode ser conectada sem apresentar riscos ou erros na transmissão de dados (TOCCI; WIDMER; MOSS, 2007)) pequeno, um sinal com pequena degradação ainda pode ser utilizado por um circuito, mas para um *fan-out* mais significativo, a utilização combinada de transistores nMOS e pMOS garante a transmissão otimizada do sinal (WANG J-M.AND FANG; FENG, 1994).

Para aproveitar as características dos transistores nMOS e pMOS, a lógica CMOS utiliza uma topologia de portas formada por duas redes independentes e complementares, na qual a rede pMOS é responsável por conectar o sinal de saída à linha de alimentação positiva (sinal alto, 1) e a rede nMOS é responsável por conectar a saída à linha de referência de tensão (sinal baixo, 0) (BUTZEN et al., 2009), permitindo assim, que uma ou outra atue na propagação do sinal, aproveitando as características ótimas de cada um dos tipos de transistores para melhor resposta do sinal. A figura 8 mostra o funcionamento de transistores dos tipos nMOS e pMOS.

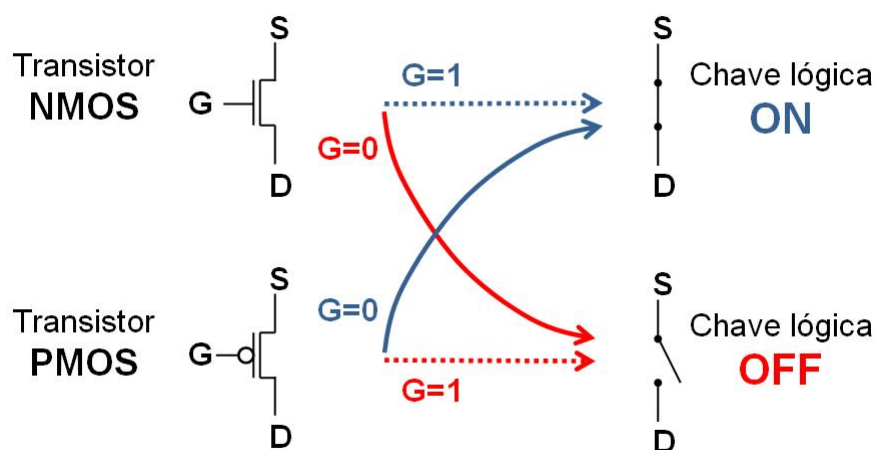


Figura 8: Funcionamento de transistores nMOS e pMOS

Fonte:(BUTZEN et al., 2009)

Portas lógicas CMOS estáticas possuem, tipicamente, duas redes de transistores conectados de forma dual, ou seja, onde encontramos transistores em série em uma das redes, temos equivalentes em paralelo na rede complementar. Pode-se observar arranjos com lógica CMOS para portas lógicas NOT, NAND e NOR na figura 9.

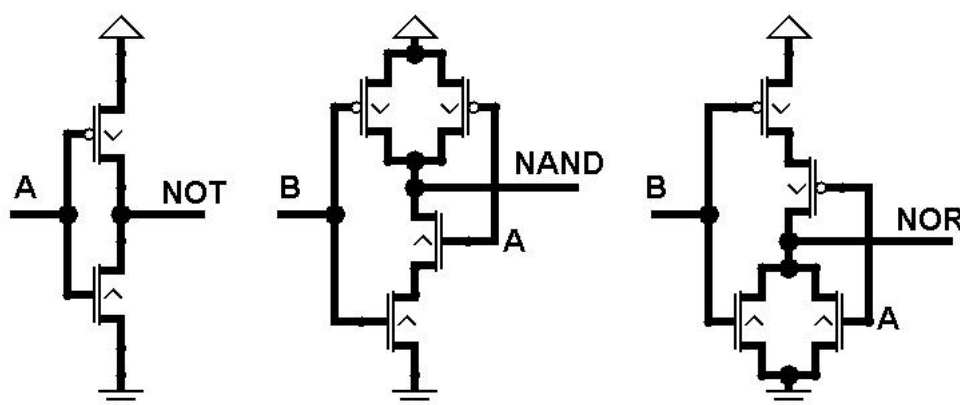


Figura 9: Arranjos CMOS para portas lógicas NOT, NAND e NOR

A utilização de transistores do tipo pMOS cria uma alta capacitância de entrada devido à ligação de cada entrada a um transistor pMOS e um nMOS (GOEL; KUMAR; BAYOUMI, 2006). Para obter-se a velocidade de operação desejada do transistor pMOS é necessário aumentar a largura do canal, devido à menor mobilidade das lacunas neste tipo de transistor em relação aos elétrons do tipo nMOS. O incremento de tamanho necessário aos transistores pMOS gera, então, um incremento no custo de área do projeto.

Uma alternativa é a utilização da lógica CMOS dinâmica, que faz uso apenas de transistores do tipo nMOS. Como não são utilizados transistores pMOS a capacitância é baixa, o que permite aumento da velocidade de operação (GOEL; KUMAR;

BAYOUMI, 2006). O problema relacionado à lógica CMOS dinâmica é a baixa imunidade a ruídos e a maior susceptibilidade a correntes de fuga.

2.3.3 Lógica PTL

No estilo lógico PTL, *gate* e *source* propagam o sinal. Esta lógica é altamente funcional e pode reduzir o número de transistores utilizados em um circuito, sendo esta sua grande vantagem sobre outros estilos lógicos (PURNIMA, 2012). A lógica PTL, ou de transistores de passagem, pode utilizar transistores do tipo pMOS ou nMOS, sendo o nMOS mais utilizado, pois pode transmitir mais rapidamente um sinal do que um transistor pMOS de mesmo tamanho (LAI; JIANG; CHU, 2005).

A Figura 10 exibe arranjos NAND e NOR do tipo PTL, onde 1, 0, A, $\neg A$, B e $\neg B$ são entradas e $\neg(A.B)$ e $\neg(A+B)$ são saídas.

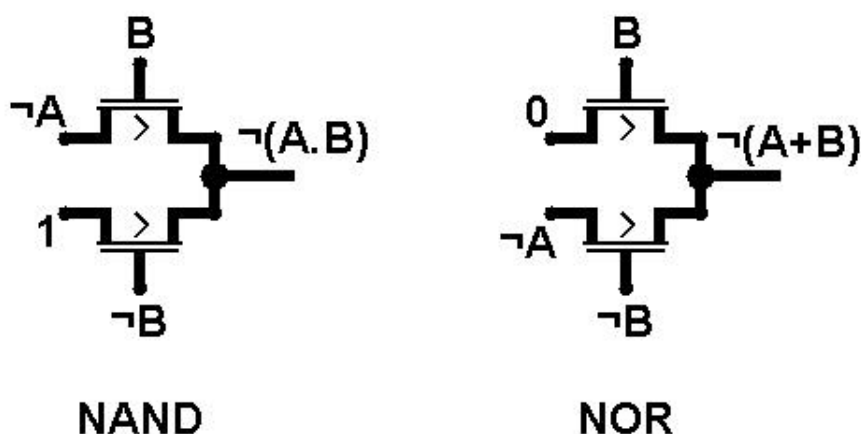


Figura 10: Portas NAND e NOR com lógica PTL

Explorando a utilização de transistores de passagem, a lógica PTL obtém, em muitos casos, resultados que incluem menor área no *layout* e menor consumo de energia, fatores altamente desejáveis no atual nível de miniaturização dos circuitos. O problema da utilização desta lógica é o alto nível de degradação do sinal quando vários transistores são conectados em cascata, se comparado à lógica CMOS, que também exibe, geralmente, melhores resultados em relação à imunidade ao nível de ruído (SILVA, 2014b), que refere-se à capacidade do circuito de tolerar oscilações de tensão provenientes de campos elétricos e magnéticos parasitas sem provocar alterações na tensão de saída (TOCCI; WIDMER; MOSS, 2007).

A degradação do sinal em circuitos PTL ocorre devido à utilização de apenas um tipo de transistor (nMOS ou pMOS), o que acarreta redução no nível de tensão que o tipo de transistor utilizado não consegue transmitir adequadamente.

A lógica PTL é reconhecida como capaz de fornecer melhores implementações, quando comparada à CMOS, em circuitos aritméticos como somadores e multiplica-

dores, que são baseados em portas XOR, mas não se consegue obter bons resultados em circuitos baseados em NAND/AND (TSAI, 2009).

Em TSAI (2009) é feita a comparação entre arranjos de portas XOR, NAND e AND para uma tecnologia UMC (*United Microelectronics Corporation*) 90-nm, com tensão de alimentação de 1.0 V. Os arranjos PTL testados apresentam menor área e consumo para as células XOR, tanto AC (*Alternate Current*) quanto *leakage* (corrente de fuga). Embora não produza implementações tão robustas, a tecnologia PTL é uma alternativa à CMOS em tecnologias nanométricas, onde o *leakage* consome boa parte da potência total (TSAI, 2009). A tabela 3 reproduz os dados obtidos.

Tabela 3: Comparação de arranjos XOR, NAND e AND

Logic Circuits		UMC 90-nm (Vdd = 1.0 V)			
		Área A(μm^2)	Delay D(ns)	Power P($\mu\text{W}@100\text{ MHz}$)	A*D*P
XOR2	PTL	9.4	0.46	0.24	1.0
	CMOS	16.5	0.40	0.32	2.1
NAND2	PTL	7.1	0.46	0.17	0.6
	CMOS	5.5	0.20	0.26	0.3
AND2	PTL	9.4	0.49	0.21	0.96
	CMOS	8.6	0.23	0.38	0.75

Fonte:(TSAI, 2009)

GARG; KHATRI (2006) identifica as vantagens da lógica PTL e aponta problemas de escalabilidade como fator que impede a adoção em larga escala deste estilo lógico como padrão da indústria, e propõe um método de síntese PTL que possa lidar com leiautes maiores e assegurar que o total de circuitos em série no projeto seja limitado. A proposta utiliza divisão booleana para simplificar *Reduced Ordered Binary Decision Diagram* (ROBDDs) que são utilizados para gerar o circuito de lógica PTL.

Os resultados apresentador por GARG; KHATRI (2006) indicam redução de até 29% no tempo de atraso e 6% na área quando comparados a uma abordagem PTL tradicional.

2.3.4 Estilos híbridos CMOS/PTL

Enquanto circuitos baseados em PTL ou projetos híbridos de PTL e CMOS são utilizados no projeto de pequenos componentes de hardware, como somadores, muitos métodos de síntese lógica baseados em PTL têm sido desenvolvidos para possibilitar o desenvolvimento de grandes processadores (TSAI, 2009). A figura 11 demonstra a utilização híbrida de CMOS e PTL na composição de um somador completo de 1 bit.

Alguns trabalhos discutem as limitações da tecnologia CMOS, que por duas décadas têm dominado o projeto de circuitos VLSI (*Very Large Scale Integration*) de-

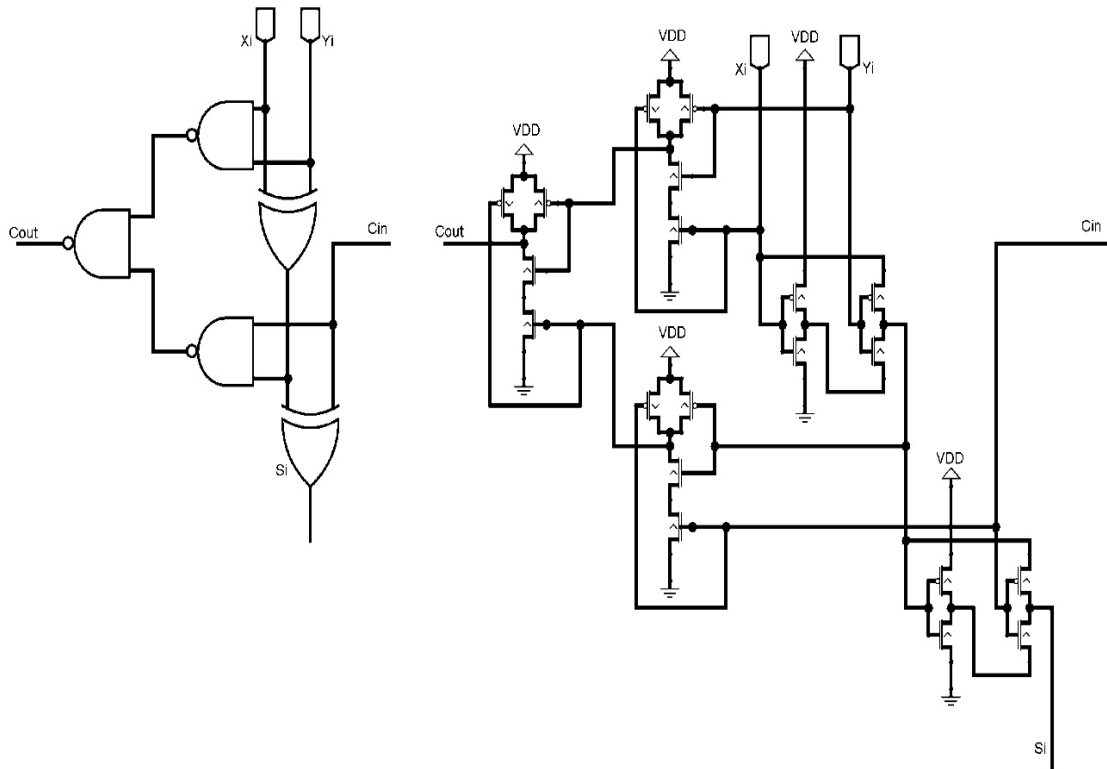


Figura 11: Somador completo utilizando arranjos CMOS(NAND) e PTL(XOR)

vido às suas características de imunidade a ruídos e boa performance, tendo, no entanto, um alto custo em termos de área e consumo de energia, e propõem a utilização híbrida de lógica CMOS e PTL (TSAI, 2009) (LAI; JIANG; CHU, 2005).

TSAI (2009) propõe dois métodos de síntese lógica compatíveis com a ferramenta de síntese lógica DC (*Design Compiler*), da Synopsys, e voltados ao projeto de unidades aritméticas e processamento de gráficos 3D, que fazem uso intensivo de portas XOR. O primeiro método é baseado na utilização de lógica PTL, utilizando sete células PTL de um nível para otimização lógica pela ferramenta DC, com o propósito de reduzir o custo físico dos circuitos. O segundo método emprega células PTL multinível que são automaticamente geradas por uma biblioteca PTL padrão que podem ser combinadas durante o projeto com células CMOS, como forma de aproveitar as melhores características de cada tecnologia e reduzir seus efeitos, e demonstra que a utilização de uma lógica híbrida permite a utilização em circuitos maiores, como, por exemplo, unidades de processamento de gráficos 3D.

Resultados experimentais obtidos por TSAI (2009) indicam que a utilização de técnicas híbridas PTL/CMOS pode oferecer substancial vantagem em termos de redução de custos de área e potência quando comparada a projetos puramente PTL ou CMOS.

3 TOPOLOGIAS DE PORTAS XOR PROPOSTAS NA LITERATURA

3.1 Trabalhos relacionados

As funções lógicas básicas AND, OR e NOT podem ser utilizadas para a composição de arranjos que implementem a função lógica XOR, porém, em nível de circuito, geram grande redundância e maior consumo de energia e espaço físico na implementação, sendo, portanto, desejável a criação da função XOR em uma lógica direta, sem a composição através de outras funções (SILVA, 2014a).

A implementação da função XOR através de portas lógicas pode ser feita por uma infinidade de arranjos de transistores, ainda que se limite a implementação às lógicas CMOS e PTL, as mais utilizadas atualmente, sendo que a lógica padrão para o projeto de bibliotecas de células é a CMOS (SILVA, 2014b).

As tecnologias nanométricas apresentam uma série de desafios para o projeto de circuitos integrados, como a variabilidade do processo, correntes de fuga, desgaste e quebra do óxido de gate, efeitos de *Negative Bias Temperature Instability* (NBTI) e *Positive Bias Temperature Instability* (PBTI), *hot carriers*, eletromigração, efeitos de radiação e *IR drop* (BUTZEN et al., 2009).

Efeitos parasitas em circuitos digitais, potencializados pela constante redução nas dimensões dos circuitos, podem ser reduzidos pela adoção de topologias de transistores mais adequadas à obtenção das características desejadas, conforme expõem diversos estudos que têm sido realizados para identificar, entre os arranjos XOR mais conhecidos, quais apresentam melhores características de consumo, temperatura e desempenho, entre outros.

BUI; AL-SHERAIDAH; WANG (2000) apresentam um conjunto de dezesseis arranjos XOR/XNOR conhecidos para compará-los com uma nova proposta. Os arranjos são exibidos na figura 12.

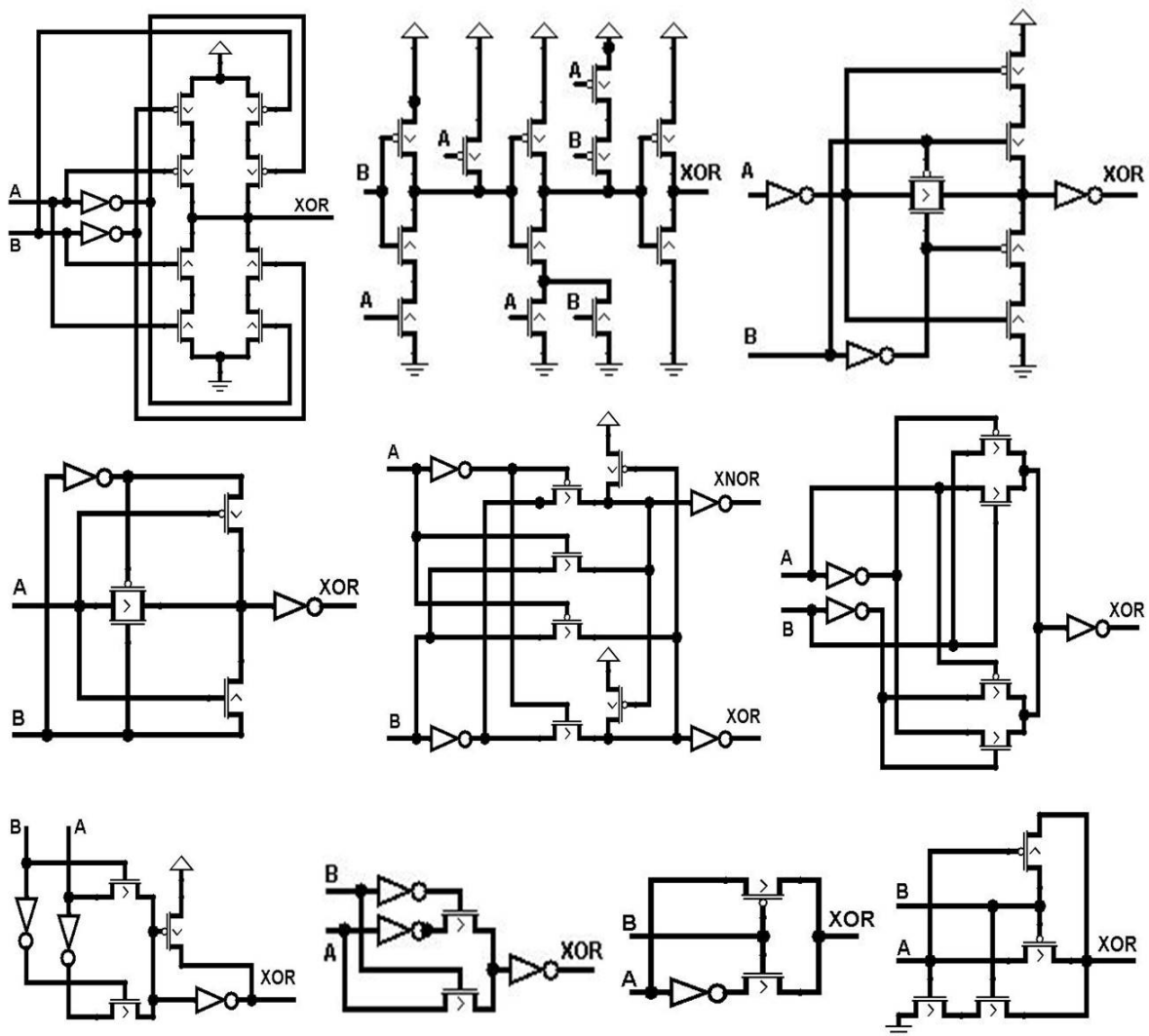


Figura 12: Arranjos XOR CMOS e PTL utilizados por BUI; AL-SHERAIDAH; WANG (2000)

A topologia para arranjos XOR/XNOR de baixo consumo, com quatro transistores cada, proposta por BUI; AL-SHERAIDAH; WANG (2000) é comparada às implementações apresentadas na figura 12, constatando-se que os novos arranjos propostos podem ser implementados com menor área e melhor desempenho e consumo de energia que os demais arranjos comparados. A proposta não detalha a tecnologia de fabricação utilizada para aferição do desempenho das implementações, o que constitui um limitador para validação dos dados obtidos em relação às tecnologias nanométricas mais atuais. A Figura 13 apresenta o arranjo proposto por BUI; AL-SHERAIDAH; WANG (2000).

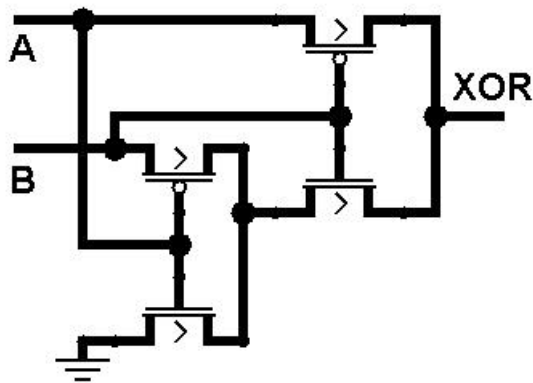


Figura 13: Arranjo XOR proposto por BUI; AL-SHERAIDAH; WANG (2000)

Em SILVA (2014a)) são comparadas 15 diferentes topologias XOR baseadas em arranjos CMOS e PTL, para uma tecnologia de 32 nm preditiva de alta performance, com a intenção de verificar características de performance e consumo em relação à variação de tensão de *threshold* e determinar quais arranjos são mais robustos em relação às condições de variabilidade do processo. O estudo consiste em dois passos, sendo o primeiro a validação lógica dos arranjos e o segundo a extração de dados de atraso e consumo de energia dos arranjos XOR. Conforme SILVA (2014a), os circuitos foram descritos como SPICE netlists e simulados eletricamente com HSPICE, com comprimento de canal de 32 nm e largura de canal de 100 nm para transistores do tipo nMOS e 200 nm para transistores do tipo pMOS. A tensão de alimentação utilizada foi de 1 V. Foram utilizados dois inversores no sinal de entrada e quatro inversores na saída (*fan-out* 4) como carga, conforme a Figura 14.

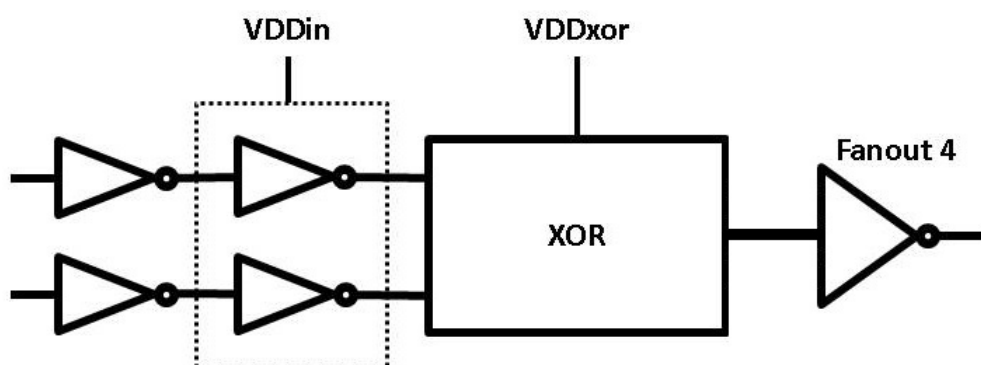


Figura 14: Circuito para teste dos arranjos XOR em SILVA (2014a)

SILVA (2014a) constata que arranjos PTL apresentam melhor desempenho médio e que arranjos CMOS tem maior regularidade em termos de desempenho e potência. Na figura 15 são apresentados os arranjos CMOS e PTL utilizados na comparação.

A temperatura é fator fundamental para a manutenção do desempenho em sistemas nanométricos, onde altas temperaturas causam degradação na velocidade

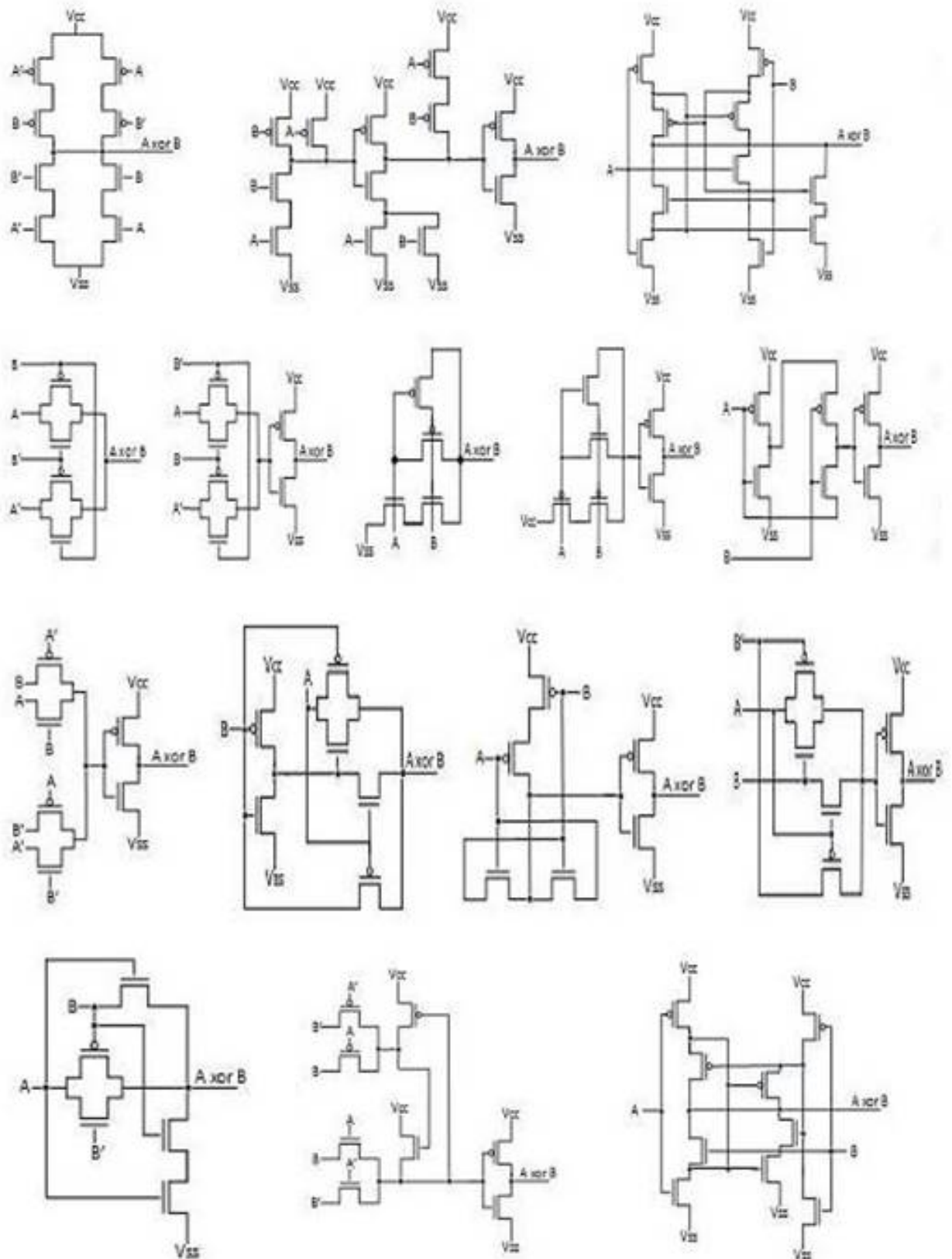


Figura 15: Arranjos XOR CMOS e PTL avaliados em SILVA (2014a)

de propagação do sinais com consequente variação na frequência do chip devido à redução da capacidade do transistor de drenar corrente. Esta característica é crítica em sistemas nanométricos, pois a degradação da performance e redução na frequência do chip são resultados não desejados (SILVA, 2014b).

Sendo os sistemas atuais projetados para oferecer a melhor performance possível, é necessário buscar alternativas que minimizem os efeitos da variação de temperatura na performance.

Em análises desenvolvidas com a intenção de verificar o atraso na propagação de sinais em função das variações de temperatura, SILVA (2014b) comparam 14 topologias XOR baseadas em arranjos CMOS e PTL, para uma tecnologia de 32 nm preditiva de alta performance, e, constata que, em função das variações de temperatura, a performance de um mesmo arranjo pode variar de 40% a 90%.

As condições de teste para obtenção dos resultados em SILVA (2014b) são as mesmas utilizadas em SILVA (2014a). A figura 16 exhibe os 14 arranjos XOR avaliados por Silva et al (2014b).

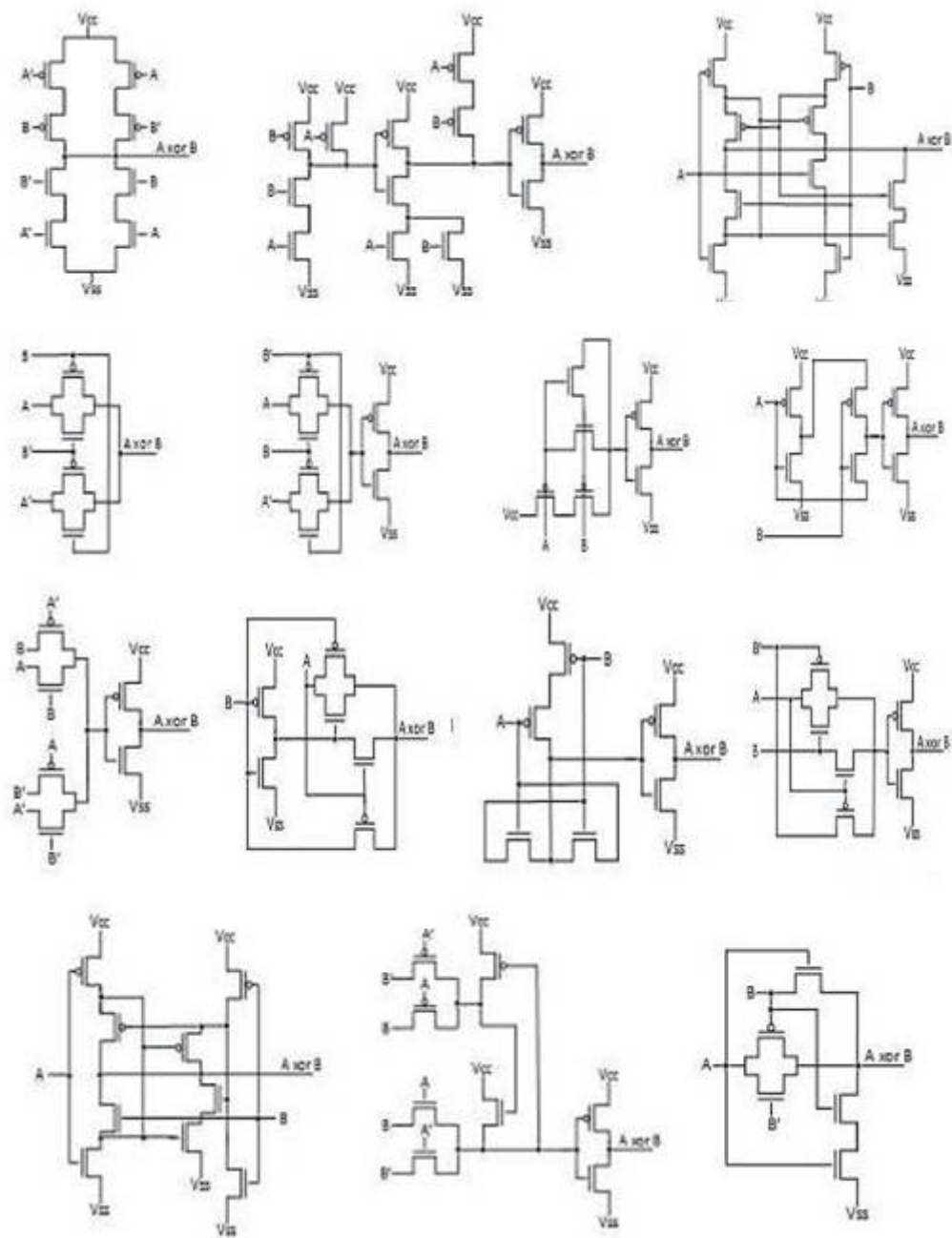


Figura 16: Arranjos XOR CMOS e PTL avaliados em SILVA (2014b)

O projeto de um somador completo de 1-bit baseado em portas XOR/XNOR é apresentado por Goel, Kumar e Bayoumi (2006), utilizando uma metodologia híbrida CMOS para obter a performance desejada. O estágio inicial do somador completo proposto por Goel, Kumar e Bayoumi (2006) foi projetado para processar sinais XOR/XNOR simultaneamente. O circuito foi simulado para uma tecnologia TSMC (Taiwan Semiconductor Manufacturing Company) de $0.18 \mu\text{m}$, com frequência de 50 MHz e tensão de alimentação de 1 V. A figura 17 exibe o circuito proposto.

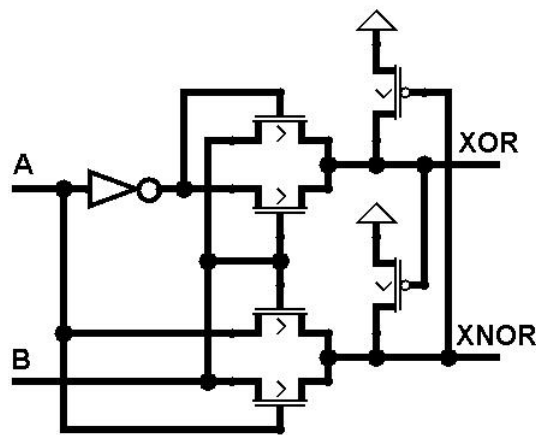


Figura 17: Estágio XOR/XNOR do somador de GOEL; KUMAR; BAYOUMI (2006)

O circuito proposto por GOEL; KUMAR; BAYOUMI (2006) utiliza oito transistores em sua implementação, e foi comparado com outras duas alternativas, apresentadas na figura 18, (a), de 6 transistores e (b), de 10 transistores.

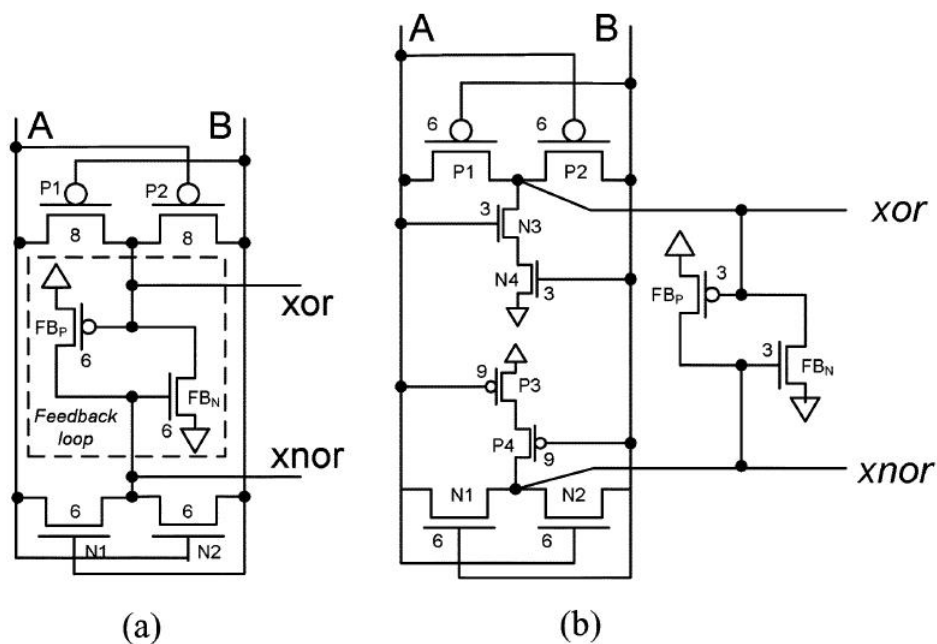


Figura 18: Estágios XOR/XNOR comparados à proposta
Fonte:(GOEL; KUMAR; BAYOUMI, 2006)

Em comparação com os demais circuitos testados, a proposta de GOEL; KUMAR; BAYOUMI (2006) apresentou desempenho entre 5% e 37.5% superior, e ganho de área de 43% em relação à (b), e utilizando 2% a mais de área que (a). A tabela 4 reproduz os resultados.

Tabela 4: Resultado das simulações do estágio inicial do somador proposto por GOEL; KUMAR; BAYOUMI (2006)

	(a)	(b)	Proposta
Nº de transistores	6	10	8
Potencia (μ W)	7,524	8,431	8,750
Delay(ns)	0,305	0,210	0,191
PDP(e-15)	2,2294	1,770	1,671
Área(λ^2)	4455 (1)	6348 (1,43)	4550 (1,02)
Melhoria (PDP)	37,5%	5%	-

Fonte:(GOEL; KUMAR; BAYOUMI, 2006)

O estágio de saída do circuito proposto explora simultaneamente sinais XOR e XNOR e possibilita a adição de somadores em série sem a necessidade de adição de *buffers* entre um estágio e outro. Em testes realizados, o somador proposto opera com sucesso em baixas tensões de alimentação, apresentando desempenho superior a outros somadores padrão. O circuito pode ser visto na figura 19.

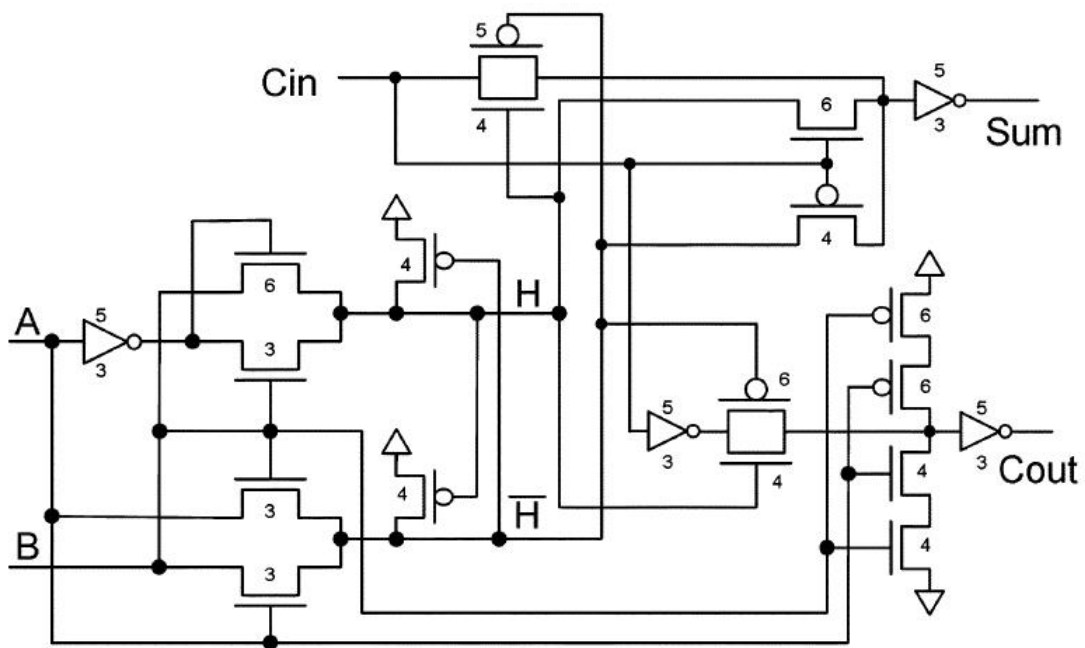


Figura 19: Circuito do somador proposto por GOEL; KUMAR; BAYOUMI (2006)

Fonte:(GOEL; KUMAR; BAYOUMI, 2006)

PURNIMA (2012) propõe um somador baseado em lógica PTL utilizando o teorema de Shannon para simplificar a equação e obter um circuito com menor quantidade de transistores. O circuito proposto (14 transistores), que faz uso intensivo de portas XOR, é comparado com uma implementação baseada no teorema de Shannon existente (18 transistores), e com uma implementação baseada na *Multiplexing Control Input Technique* (MCIT)(80 transistores). A figura 20 mostra o somador proposto.

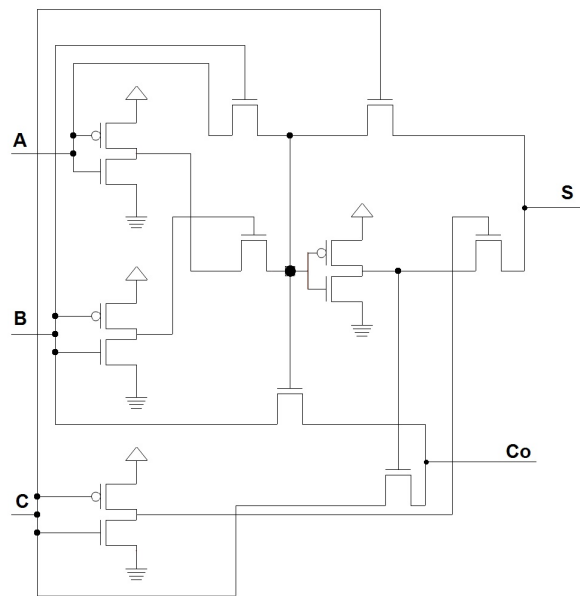


Figura 20: Somador PTL baseado em Shannon proposto por PURNIMA (2012)
Fonte:(PURNIMA, 2012)

A conclusão de PURNIMA (2012) é de que o somador proposto, comparado em relação à consumo, número de transistores e área, apresenta vantagem sobre as demais propostas nos quesitos avaliados. O trabalho não relata a metodologia de testes, tampouco a tecnologia usada. É possível verificar pelos gráficos de desempenho do somador que a tensão utilizada foi de 5 V.

MISHRA; AGRAVAL; NAGARIA (2010) avaliam diversos arranjos XOR/XNOR de vários estilos lógicos baseados em CMOS. As técnicas avaliadas são comparadas em relação a atraso de propagação, consumo de energia, PDP e EDP.

Arranjos XOR em estilo CMOS estático testados por MISHRA; AGRAVAL; NAGARIA (2010) são apresentados na figura 21. Circuitos CMOS estáticos são o padrão da indústria e operam sem degradação do sinal de saída.

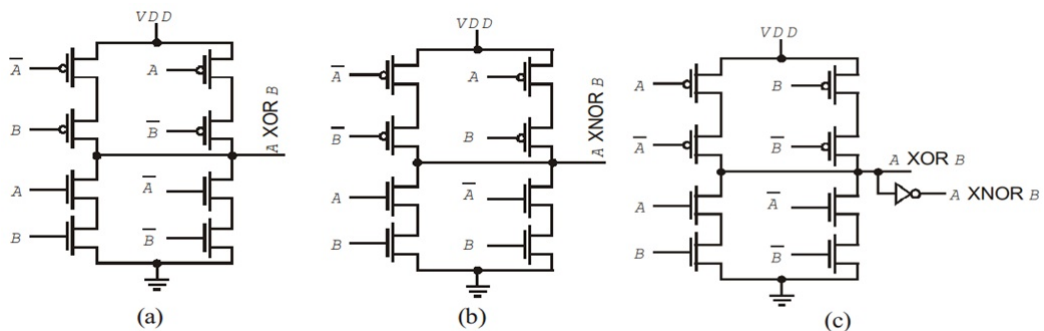


Figura 21: XOR e XNOR CMOS estático
Fonte:(MISHRA; AGRAVAL; NAGARIA, 2010)

A figura 22 apresenta diversos arranjos XOR em estilo PTL, no qual o terminal *source* está ligado a uma entrada, ao invés de estar ligado à linha de energia, como ocorre no estilo CMOS estático. Outra diferença fundamental é que somente uma rede (nMOS ou pMOS) é suficiente para implementar a logica das portas neste estilo (MISHRA; AGRAVAL; NAGARIA, 2010).

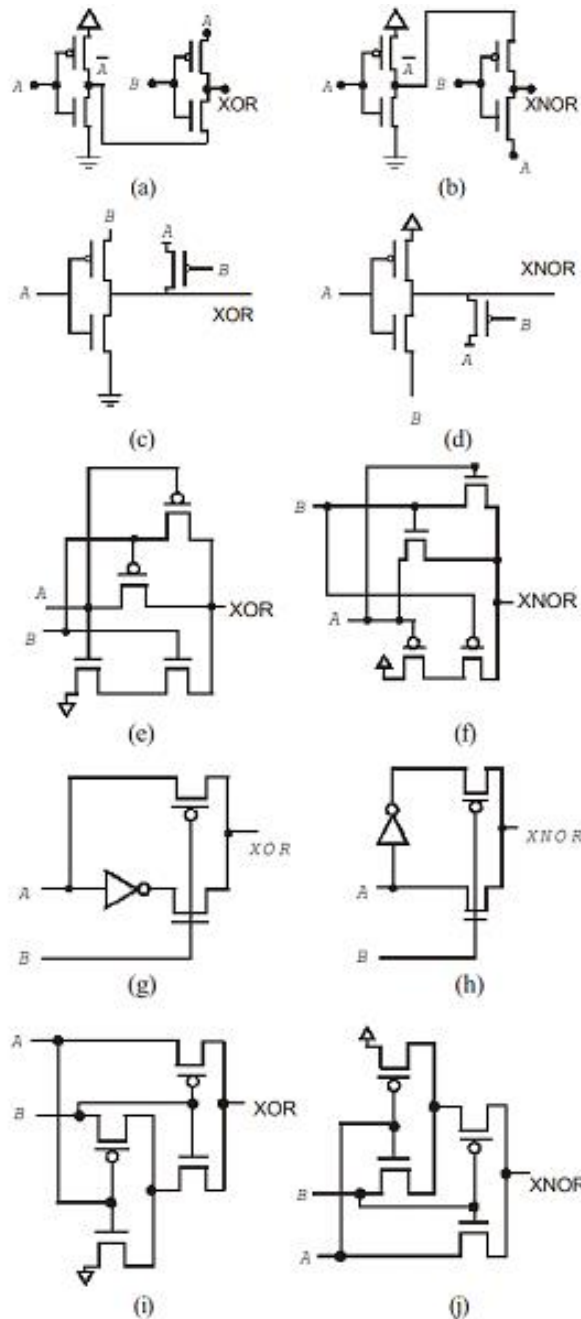


Figura 22: Portas XOR e XNOR PTL
Fonte:(MISHRA; AGRAVAL; NAGARIA, 2010)

O problema fundamental deste estilo lógico é a degradação do sinal de saída para algumas combinações de entradas, o que, em operações com baixa tensão pode

ocasionar erros devido à perda de sinal (MISHRA; AGRAVAL; NAGARIA, 2010).

Derivado do estilo PTL, o estilo *Double Pass-Transistor Logic* (DPL) faz uso de transistores complementares para manter a operação *full swing* (variação completa da tensão na mudança de sinal) e reduzir o consumo de energia. O problema deste tipo de circuito são as entradas adicionais necessárias (MISHRA; AGRAVAL; NAGARIA, 2010). Os arranjos DPL apresentados testados por MISHRA; AGRAVAL; NAGARIA (2010) são exibidos na figura 23.

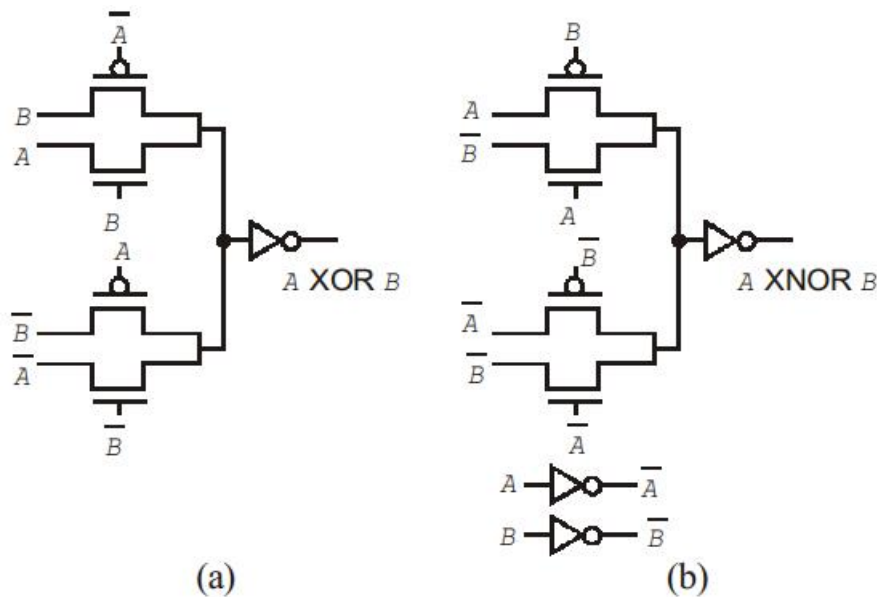


Figura 23: Portas XOR e XNOR DPL
Fonte:(MISHRA; AGRAVAL; NAGARIA, 2010)

Circuitos XOR/XNOR podem ser projetados com uma lógica baseada no uso de três inversores operando em cascata, possuindo estes arranjos o problema de não operarem *full swing* nos nodos internos, podendo, no entanto, operar de forma confiável quando utilizada tensão de alimentação alta (MISHRA; AGRAVAL; NAGARIA, 2010). A figura 24 mostra arranjos XOR/XNOR baseados em inversores.

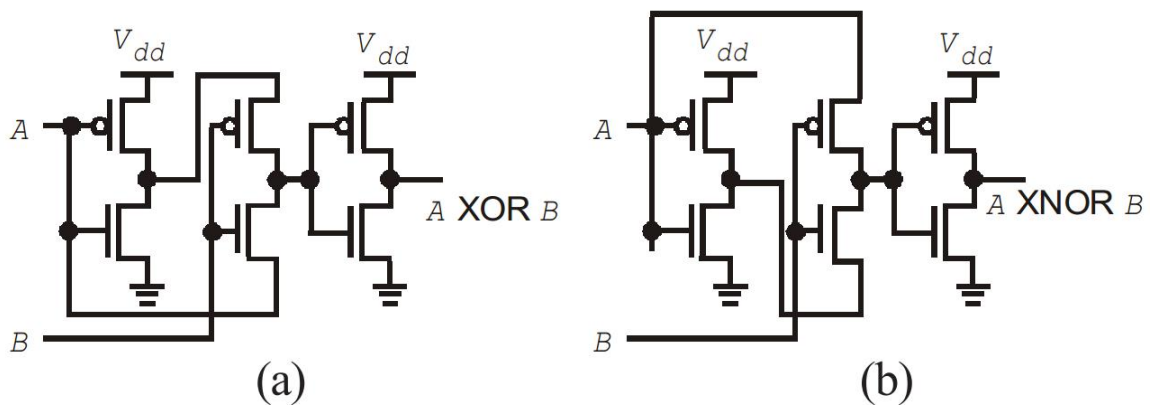


Figura 24: Portas XOR e XNOR baseadas em inversores
 Fonte:(MISHRA; AGRAVAL; NAGARIA, 2010)

Transmission gates CMOS (TG) utilizam a lógica de TGs para realizar funções lógicas complexas utilizando um pequeno número de transistores complementares, resolvendo o problema de *swing* do nível lógico baixo pela utilização conjunta de nMOS e pMOS (MISHRA; AGRAVAL; NAGARIA, 2010). Arranjos de portas XOR e XNOR baseadas em *Transmission gates* são mostradas na figura 25.

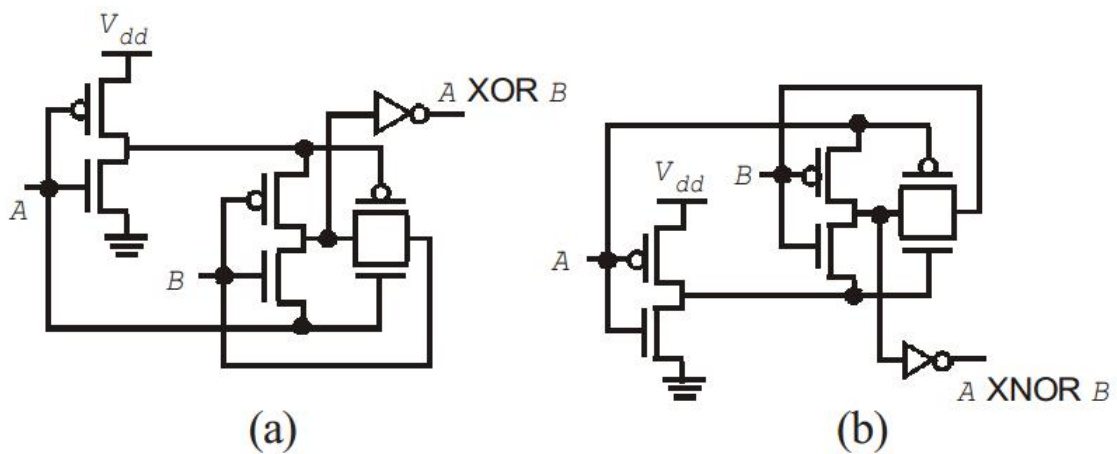


Figura 25: Portas XOR e XNOR de alta performance baseadas em *Transmission gates* (TG)

Fonte:(MISHRA; AGRAVAL; NAGARIA, 2010)

O circuito exibido na figura 26 é baseado em *Transmission gates* e, segundo MISHRA; AGRAVAL; NAGARIA (2010), reduz o problema de perdas em tensão de threshold e consumo estático e é capaz de fornecer uma saída sem degradação de sinal.

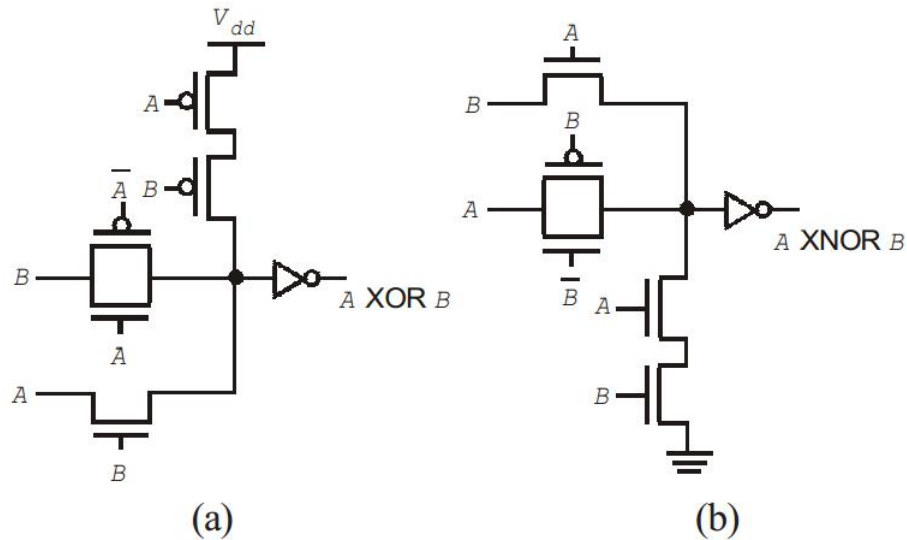


Figura 26: Portas XOR e XNOR baseadas em *Transmission gates* (TG)
 Fonte:(MISHRA; AGRAVAL; NAGARIA, 2010)

Gate-Difusion Input (GDI) é uma técnica de projeto de circuitos digitais de baixa potência utilizando uma célula GDI, que se assemelha a um inversor CMOS, possuindo, porém, 3 entradas, e o *bulk* conectado a uma das entradas. A figura 27 exhibe um arranjo GDI para uma porta XOR.

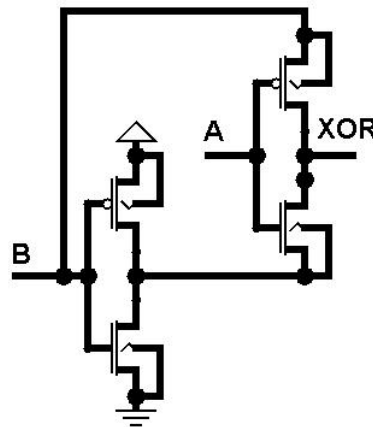


Figura 27: Porta XOR com célula GDI

Segundo MISHRA; AGRAVAL; NAGARIA (2010), os testes realizados utilizaram a tecnologia TSMC CMOS 0.18- μm . A análise de transientes foi feita no software HSPICE, na faixa de 0.6 V à 3.3 V, e uma carga constante de saída de 5.6 fF foi utilizada para medidas de atraso de propagação e consumo de energia. A comparação das portas PTL XOR e XNOR foi feita com uma tensão de 1.8 V. MISHRA; AGRAVAL; NAGARIA (2010) utiliza o mesmo circuito de apoio para os testes utilizado por SILVA (2014a) e SILVA (2014b).

As técnicas de *design* avaliadas por MISHRA; AGRAVAL; NAGARIA (2010) são

adequadas para circuitos aritméticos e outras aplicações que demandem baixo consumo de energia e alta velocidade. Os arranjos PTL tem a saída alta (ou baixa) desviadas de VDD (ou *ground*) por um múltiplo da tensão de *threshold*. Os circuitos que utilizam *Transmission gates* melhoram o problema de perda de tensão de *threshold*, enquanto aqueles baseados em transistores de *feedback* possuem bom sinal de saída, menor consumo e alta velocidade em comparação a modelos anteriores, quando em baixa tensão.

Segundo GOEL; ELGAMEL; BAYOUMI (2003), à medida que as tecnologias sub-micrônicas ganham espaço, o problema de ruído torna-se uma métrica tão importante nos sistemas quanto consumo, velocidade e área. Baseados nesta premissa, apresentam uma metodologia para o projeto de portas XOR/XNOR energeticamente eficientes e tolerantes a ruídos e é proposto um circuito capaz de operar com baixa tensão. O circuito proposto é comparado com circuitos anteriores para verificação do desempenho.

Na figura 28(a), o primeiro arranjo utiliza lógica PTL, não sendo *full swing* em relação ao sinal de saída. A vantagem deste arranjo é o baixo consumo de energia. O segundo arranjo utiliza um inversor CMOS em conjunto com um MUX. A presença do inversor resolve o problema da perda de sinal, mas consome mais energia.

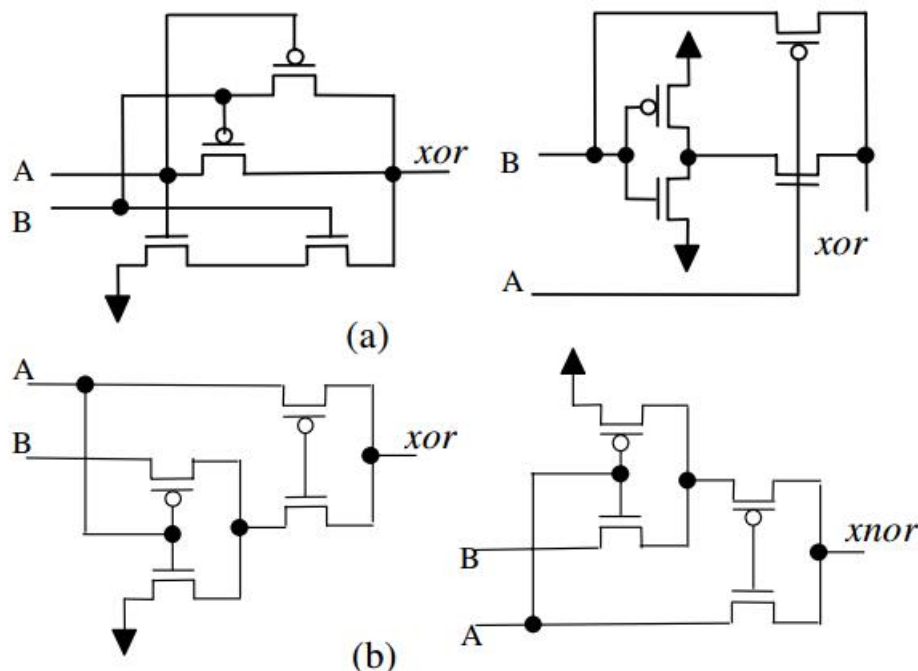


Figura 28: Circuitos XOR/XNOR otimizados
Fonte:(GOEL; ELGAMEL; BAYOUMI, 2003)

Os circuitos apresentados na figura 28(b) são energeticamente eficientes mas com atraso de propagação alto. Os quatro circuitos mostrados na figura 28 possuem o defeito básico dos projetos de portas baseados em lógica PTL: níveis de sinal de saída

ruins (GOEL; ELGAMEL; BAYOUMI, 2003). Além disto, apresentam dificuldade de funcionamento nas baixas tensões utilizadas em circuitos nanométricos. Após analisar os circuitos da figura 28, bem como circuitos capazes de operar simultaneamente lógica XOR e XNOR, GOEL; ELGAMEL; BAYOUMI (2003) apresentam sua proposta de circuito, que pode ser visto na figura 29.

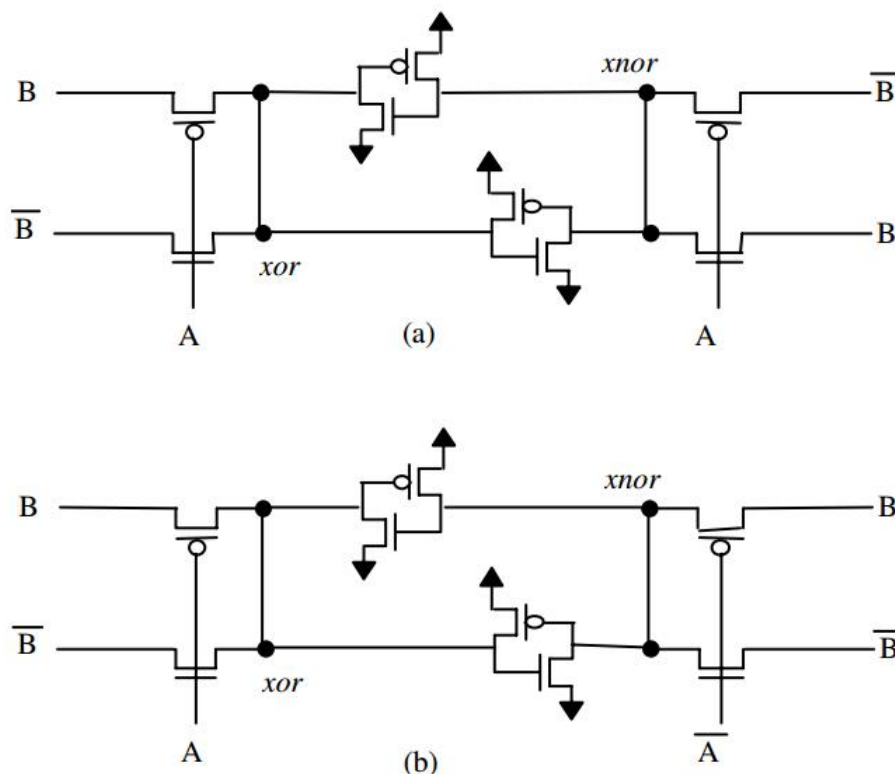


Figura 29: Circuitos XOR/XNOR propostos por GOEL; ELGAMEL; BAYOUMI (2003)
Fonte:(GOEL; ELGAMEL; BAYOUMI, 2003)

O circuito proposto por GOEL; ELGAMEL; BAYOUMI (2003) possui transistores de *feedback* entre a seção XOR e a seção XNOR, para restauração do sinal de entrada. Este circuito foi comparado com implementações anteriores e apresentou desempenho superior, tanto em imunidade a ruídos, quando em velocidade e consumo.

3.2 Características dos principais arranjos XOR citados

Um grande número de arranjos XOR foi apresentado em comparações feitas nos trabalhos dos autores citados no presente texto, no entanto, devido às diferentes metodologias e tecnologias utilizadas para avaliação e, em alguns casos, ausência de informações, não é possível estruturar dados consistentes para comparação.

Com base nas características dos arranjos propostos na literatura e aqui apresentados, um conjunto de circuitos foi definido para caracterização em uma tecnologia nanométrica.

Os arranjos apontados como de pior desempenho em algum parâmetro, sob as condições de teste apresentadas nos respectivos trabalhos, foram descartados. Os parâmetros considerados foram consumo, atraso de propagação e sua combinação (PDP).

A figura 30 exibe os arranjos apresentados nos trabalhos relacionados e que foram descartados para avaliação neste trabalho.

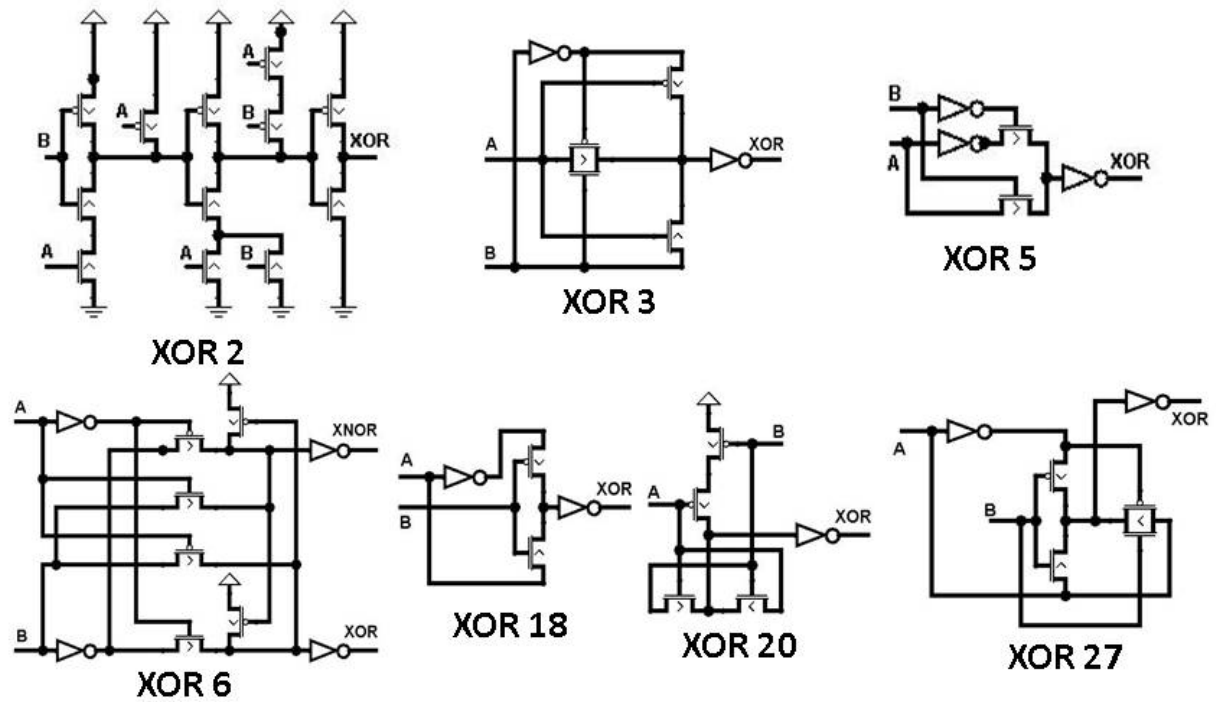


Figura 30: Arranjos descartados

Vinte e um arranjos foram selecionados para a avaliação, sendo estes os circuitos XOR 1, 4, 7, 8, 9, 10, 11, 12, 13, 14, 15, 17, 19, 21, 22, 23, 24, 25, 26, 28 e 29. Junto a estes será avaliado também o arranjo 30, utilizado pela biblioteca FreePDK45, totalizando vinte e dois arranjos. A figura 31 exibe os arranjos selecionados.

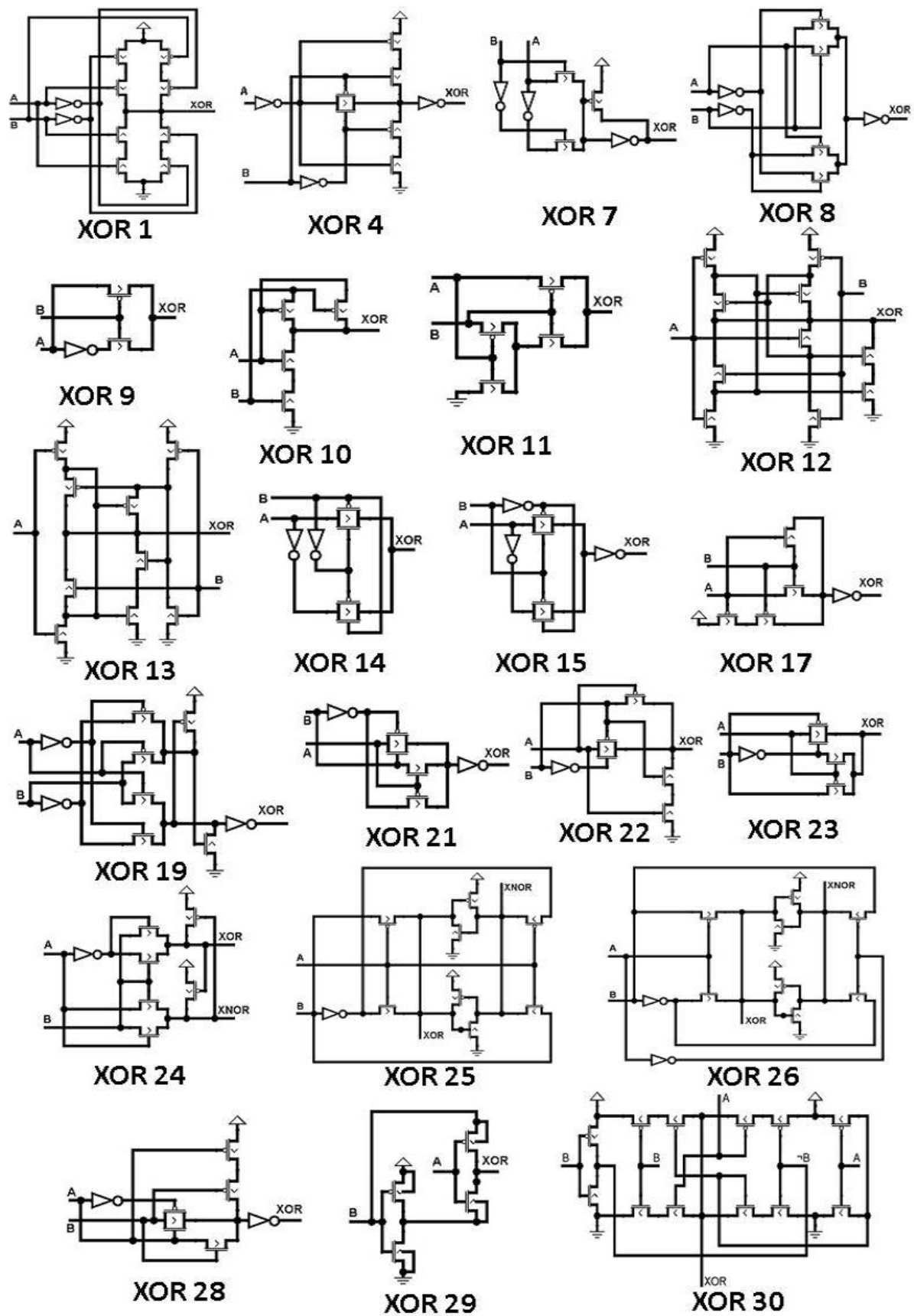


Figura 31: Arranjos selecionados

A tabela 5 Apresenta características dos arranjos exibidos nas figuras 30 e 31. As colunas exibem, respectivamente, a identificação dada à cada um dos arranjos neste trabalho, o estilo lógico no qual o arranjo é baseado segundo as publicações de origem, a quantidade de transistores, incluídos os inversores necessários à composição das entradas, e características de funcionamento extraídas dos artigos de origem.

Tabela 5: Características dos Arranjos

Arranjo	Estilo	T	Características
XOR 1	CMOS	12	Boa condução do sinal, alta resistência a ruídos
XOR 2	CMOS	12	Mais lento, alto consumo de energia
XOR 3	PTL	8	Alto consumo de energia
XOR 4	PTL	12	Rápido quando comparado a arranjos CMOS
XOR 5	PTL	8	Pior circuito na relação PDP
XOR 6	PTL	14	Maior <i>delay</i> e segundo pior circuito na relação PDP
XOR 7	PTL	9	Menor <i>delay</i> entre os circuitos PTL
XOR 8	DPL(PTL)	10	Baixo consumo, <i>Full Swing</i> , alta variação no consumo dinâmico
XOR 9	PTL	4	Baixo <i>delay</i> , baixo consumo
XOR 10	PTL	4	Mais rápido, segundo melhor PDP
XOR 11	PTL	4	Menor consumo de energia, melhor PDP, <i>delay</i> alto
XOR 12	PTL	10	Boa condução do sinal, alta resistência a ruídos
XOR 13	PTL	9	Boa condução do sinal, alta resistência a ruídos
XOR 14	PTL (TG)	8	Menor área
XOR 15	PTL (TG)	10	Nível médio de <i>delay</i> , nível médio de consumo dinâmico
XOR 17	PTL	6	Pouca variação de <i>delay</i> em relação a flutuação de temperatura
XOR 18	Inversores	6	O mais lento, opera bem apenas com tensões altas
XOR 19	PTL	12	Pouca variação de <i>delay</i> em relação a flutuação de temperatura
XOR 20	PTL	6	Maior variação de <i>delay</i> em relação a flutuação de temperatura
XOR 21	PTL	8	Menor variação de <i>delay</i> em relação a flutuação de temperatura
XOR 22	PTL	7	O mais rápido
XOR 23	PTL	6	O mais rápido
XOR 24	CPL(PTL)	8	<i>Full swing</i> , opera bem com tensões baixas, menor <i>delay</i>
XOR 25	PTL	10	Bom <i>fan-out</i> , boa performance
XOR 26	PTL	12	Bom <i>fan-out</i> , boa performance
XOR 27	TG	8	Operação <i>Full swing</i>
XOR 28	TG	9	Operação <i>Full swing</i>
XOR 29	GDI	4	Baixo consumo de energia, baixo <i>delay</i>
XOR 30	CMOS	12	Disponibilizado pela biblioteca FreePDK45

Consumo, atraso de propagação e área são os parâmetros mais citados na literatura quando verifica-se a adequação de circuitos às aplicações de alto desempenho e dispositivos portáteis. A manutenção de características de atraso de propagação em relação à flutuação de temperatura nos sistemas também é citada como importante critério relacionado à robustez dos arranjos. Parâmetros relacionados a estas características devem ser testados para uma comparação eficiente, que permita verificar quais arranjos são mais adequados a aplicações com variados requisitos principais, como circuitos para área física muito reduzida, alto desempenho, robustez, baixo consumo, ou uma média adequada entre algumas destas características.

O circuito utilizado para testes por SILVA (2014a) (figura 14) e SILVA (2014b) é semelhante ao apresentado por MISHRA; AGRAVAL; NAGARIA (2010), mostrando-se adequado para comparação de circuitos em tecnologias nanométricas.

4 METODOLOGIA

Vinte e um arranjos XOR analisados neste trabalho foram selecionados com base no desempenho apresentado nos trabalhos do qual foram extraídos. Alguns dos arranjos apresentados na seção anterior foram excluídos por apresentarem piores resultados em termos de atraso, potência ou relação atraso/potência nos trabalhos de origem. O vigésimo segundo arranjo incluído para análise é o utilizado pela biblioteca FreePDK45, e constitui-se em importante parâmetro de comparação por tratar-se de um circuito efetivamente utilizado por uma biblioteca de células. Os arranjos avaliados possuem duas entradas, denominadas “A” e “B”.

Para a caracterização elétrica os circuitos serão descritos utilizando SPICE netlist, e serão simulados na ferramenta comercial Cadence Spectre. A tensão de alimentação utilizada nos testes será de 1 V, compatível com a tecnologia FreePDK45. Serão analisados dados referentes à potência estática, dinâmica, tempo de propagação e de subida e descida, excursão do sinal e área. Cada circuito será simulado para 4 (quatro) temperaturas e 4 (quatro) tamanhos de transistor diferentes. A biblioteca FreePDK45 fornece 4 (quatro) modelos de transistor: VTG (perfil geral), VTL (baixo consumo), VTH (alta performance) e THOX (Alteração na quantidade de óxido de gate). Este trabalho avalia os circuitos utilizando o modelo de transistor de uso geral, VTG.

A contagem dos transistores de cada arranjo inclui, quando necessário, os transistores de inversores que compõem os sinais das entradas.

Para os resultados apresentados em tabelas, será utilizado um ordenamento à partir do melhor resultado. No caso de tabelas com mais de uma coluna de resultados, o ordenamento será feito à partir da coluna de resultados mais à esquerda na tabela. Nos casos em que este tipo de ordenamento dos dados não oferecer vantagem à visualização será utilizada ordem alfabética em relação ao nome do arranjo.

4.1 Classificação dos arranjos quanto à lógica CMOS ou PTL

Este trabalho considera dois critérios básicos para a classificação de arranjos como CMOS ou PTL:

- Arranjos CMOS devem possuir redes complementares de transistores de tipo P e transistores de tipo N;
- Arranjos com entrada em *source* ou *drain* são de tipo PTL.

4.2 Validação lógica dos arranjos

Os arranjos foram validados na ferramenta Spectre através da obtenção dos sinais de saída para todas as entradas possíveis da função XOR de duas variáveis.

4.3 Dimensionamento dos transistores

4.3.1 Relação P-N

O dimensionamento dos transistores, no que diz respeito à relação “ W_p/W_n ” (largura dos transistores tipo P em relação aos transistores tipo N), foi definido em 2 (duas) unidades de tamanho no transistor P para cada unidade no transistor N. Esta relação foi determinada como ideal para a tecnologia por ser a que mais aproxima os tempos de transição da metade do tempo total da transição ao atingir a metade da amplitude da tensão da fonte. Foi utilizado um inversor com o transistor de tipo N com “ W_n ” de 90-nm, tendo sido variado o transistor P em passos de 10-nm até encontrar-se a maior semelhança entre os tempos. Este procedimento foi realizado para confirmar as medidas utilizadas nos SPICE netlist e *layout* dos arranjos utilizados pela biblioteca FreePDK 45, que emprega esta proporção para os transistores.

Este trabalho considera também o dimensionamento dos transistores por esforço lógico, duplicando o tamanho dos mesmos nos casos em que há dois transistores de mesmo tipo conectados em série.

O dimensionamento dos transistores de tipo PTL segue a mesma regra, havendo mudanças apenas nos casos em que a relação “ w_p/w_n ” estabelecida impossibilitar o funcionamento do arranjo. Estes casos serão descritos no corpo do texto e nos apêndices.

4.3.2 Tamanhos dos transistores testados

As regras de projeto da FreePDK 45 determinam que o comprimento do canal deve ser de pelo menos 50-nm. Os testes realizados neste trabalho utilizam o comprimento mínimo. Para a caracterização elétrica dos arranjos XOR selecionados, os transistores serão testados nos tamanhos apresentados na tabela 6, e foram definidos a partir dos

tamanhos padrão (relativos) mais utilizados em bibliotecas de células, respeitando as medidas mínimas da tecnologia utilizada (LEE; GUPTA, 2012).

Tabela 6: Tamanhos dos transistores

Tamanho	Transistor P (nm)	Transistor N (nm)
1x	180	90
2x	360	180
4x	720	360
8x	1440	720

4.4 Temperaturas de teste

Outros trabalhos dedicados a avaliar a performance de circuitos nanometricos em função de variações na temperatura avaliam condições diversas entre 25°C e 125°C (SILVA, 2014b) (KUMAR; DESHMUKH, 2015). Resultados preliminares indicam que a variação no atraso de propagação e no consumo é próxima a uma variação linear conforme a variação da temperatura.

Cada arranjo XOR será analisado em seus diferentes testes para 4 temperaturas, 27°C, temperatura padrão de testes no software Spectre, 50°C, 75°C e 100°C. A temperatura de 27°C é utilizada pelo software Spectre quando nenhum parâmetro de temperatura é definido para simulação.

4.5 Circuito de teste

Para simular condições mais realistas em relação aos sinais, os arranjos XOR testados serão integrados individualmente a um circuito padrão de testes que consiste em 2 (dois) pares de inversores em série na entrada, e 4 (quatro) inversores em paralelo na saída (*fan-out* 4). A figura 32 ilustra o circuito.

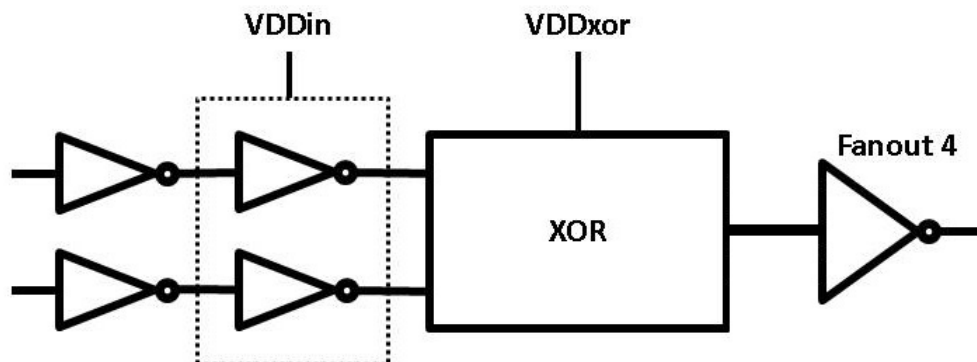


Figura 32: Circuito de testes

As fontes de alimentação do sistema estão separadas. Inversores de entrada, arranjo XOR em teste e inversores de saída possuem, cada grupo, sua fonte. Para os testes de potência, as fontes que alimentam o arranjo XOR, bem como a que alimenta o segundo grupo de inversores, cuja saída está ligada diretamente ao arranjo em teste, são consideradas. Nos arranjos que não estão ligados à VDD, bem como quando o terminal fonte (*source*) recebe uma das entradas, caso de vários circuitos de lógica PTL, as fontes dos inversores de entrada mais próximos ao arranjo são utilizadas para alimentá-lo. Este circuito padrão para os testes é utilizado por SILVA (2014a), SILVA (2014b) e MISHRA; AGRAVAL; NAGARIA (2010).

4.6 Testes de transição do sinal

Os tempos de subida (rise) e descida (fall) correspondem ao tempo decorrido durante uma transição, em uma faixa de tensão pré-determinada. Serão obtidos tempos para os oito arcos da função XOR e destacado o maior tempo, pior caso, para cada um dos arranjos. Na verificação dos tempos de subida e descida considera-se o tempo que o sinal leva para excursionar de 20% a 80% do valor da tensão de alimentação, no caso do tempo de subida, e 80% a 20% no caso do tempo de descida. Para efeitos de comparação, apenas as transições na qual a faixa de transição solicitada é alcançada integralmente pelo sinal de saída serão consideradas. Serão informados quais arranjos alcançam transições de 10% à 90% e 90% à 10% para os casos testados, assim como 30% à 70% e 70% à 30%.

4.7 Testes de tempo de propagação

O tempo de propagação é capturado para os oito arcos de transição da função XOR, sendo destacados o maior tempo, a média e o desvio padrão. O tempo obtido é o total do tempo decorrido desde que o sinal atinge 50% em uma transição no ponto de entrada do circuito até que atinja 50% no ponto final do circuito. Os tempos são obtidos em uma simulação com estímulo através de fontes de alimentação do tipo “PWL”, com frequência de 500 MHz para os sinais de entrada.

4.8 Testes de consumo

Em circuitos integrados o consumo de energia divide-se em estático e dinâmico. O consumo estático é o que ocorre quando o circuito não está mudando de estado, enquanto o consumo dinâmico é aquele que ocorre durante as transições de estado nos transistores do circuito.

Para avaliar o consumo dinâmico este trabalho utiliza a integral da corrente das fontes exibidas na figura 32, VDDin, que alimenta os inversores ligados diretamente

às entradas do circuito em teste, e VDDxor, que alimenta os circuitos em teste. Alguns dos circuitos PTL avaliados não estão ligados à VDDxor, sendo alimentados pelos inversores conectados à VDDin.

A integral da corrente das fontes, fornecida por comandos SPICE, é somada, multiplicada pela tensão de alimentação e dividida pelo tempo da simulação, conforme a equação

$$P = \frac{\int_0^{\Delta t} I_{Fonte} * V_{DD}}{\Delta t}$$

A frequência do sinais de entrada utilizada nas simulações para o consumo dinâmico é de 500 MHz. O tempo para todas as simulações é de 18ns, com uma ocorrência de cada um dos oito arcos de transição para a função XOR com duas entradas.

Para avaliar o consumo estático foram feitas quatro simulações de 18ns cada, sem a ocorrência de transições. As simulações consideram as quatro entradas possíveis para a função XOR de duas entradas. A média dos resultados dos quatro parâmetros de entrada é considerada como o consumo estático dos arranjos.

4.9 Cálculo da área

Este trabalho calcula a área dos arranjos através do seguinte processo:

- Determina-se a largura somando-se "wp" e "wn" dos maiores transistores de cada tipo presentes no arranjo, desconsiderando outros espaços determinados pela tecnologia;
- Determina-se o comprimento dos transistores considerando os espaços mínimos determinados pela tecnologia e determina-se o comprimento total de acordo com o tamanho dos transistores;
- Multiplica-se altura e largura.

5 RESULTADOS OBTIDOS

5.1 Validação dos arranjos

Os arranjos foram modelados em SPICE netlist e simulados na ferramenta Spectre para validação. A figura 33 exibe os resultados obtidos para o arranjo XOR 30, utilizado pela biblioteca FreePDK 45. Os demais arranjos apresentam o mesmo comportamento lógico.

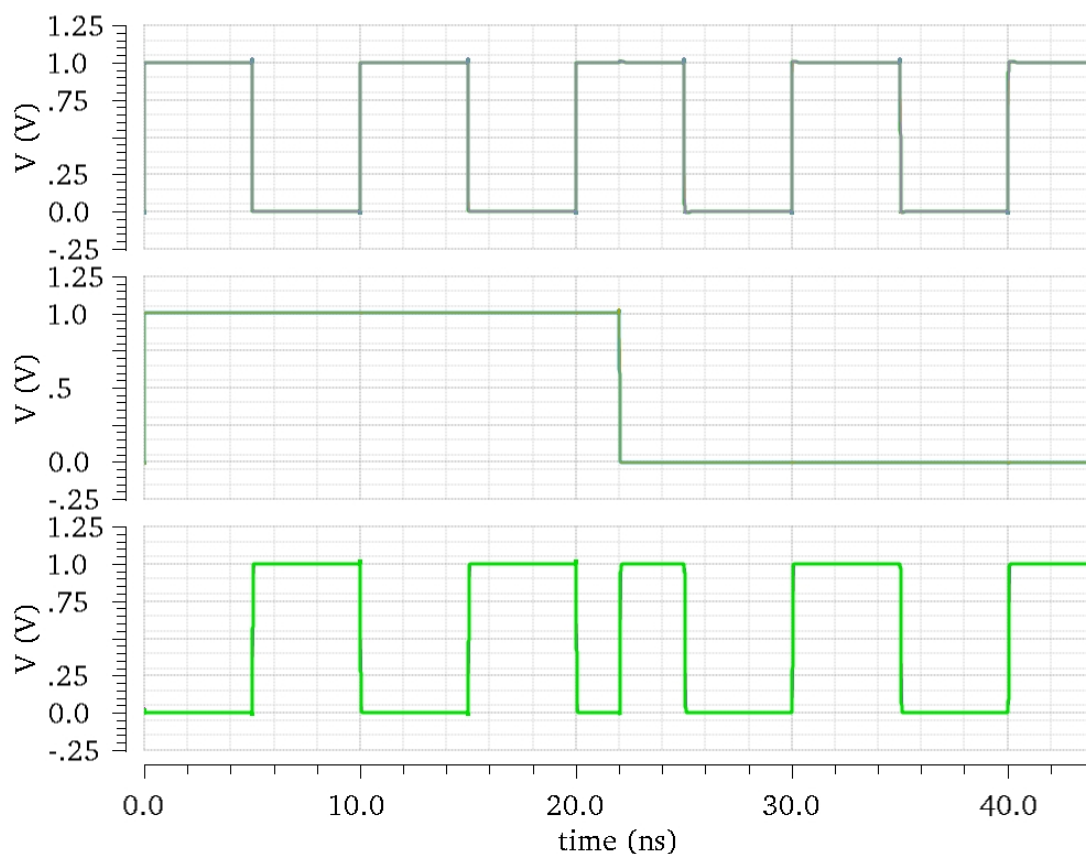


Figura 33: Validação lógica do arranjo XOR 30

Os SPICE netlist dos vinte e dois arranjos e dos parâmetros de teste estão disponíveis no apêndice A.

O processo de modelagem SPICE dos arranjos revelou equívocos no desenho de alguns arranjos em suas publicações originais.

O arranjo XOR 7, publicado originalmente em BUI; AL-SHERAIDAH; WANG (2000) não apresentou lógica XOR em sua configuração original. A figura 34 exibe o arranjo conforme apresentado no trabalho de origem (a), e a correção feita (b). A modificação aparece circulada nas figuras.

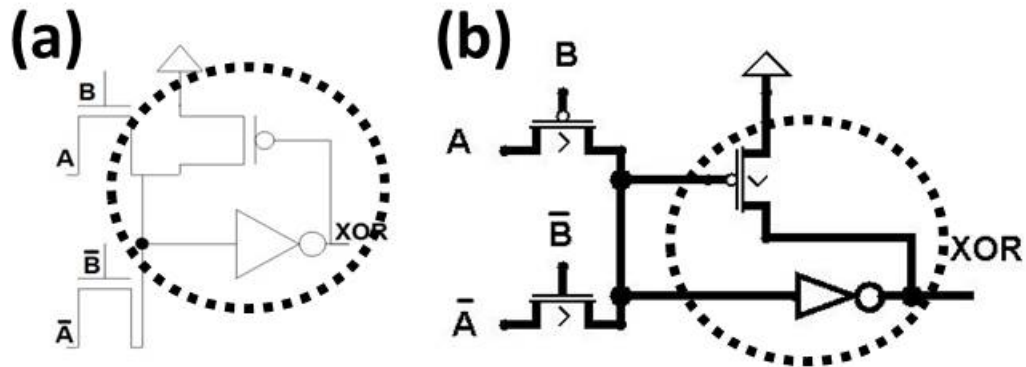


Figura 34: Correção do arranjo XOR 7

O arranjo XOR 22, apresentado em SILVA (2014a) e SILVA (2014b) também foi corrigido para apresentar comportamento lógico correto. A figura 35 apresenta o desenho original do arranjo (a) e a correção feita (b). A modificação aparece circulada nas figuras.

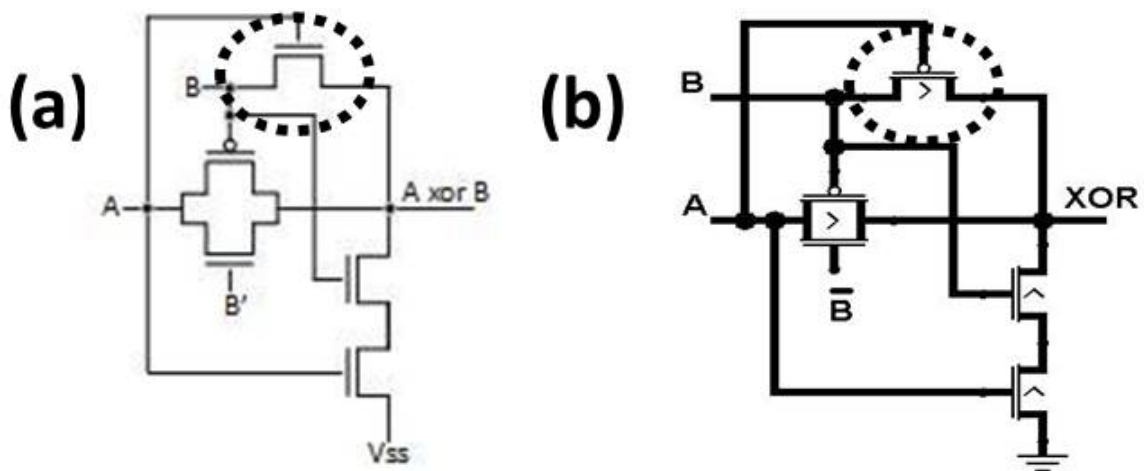


Figura 35: Correção do arranjo XOR 22

5.2 Tempos de transição

Os tempos de transição apresentados na presente seção correspondem ao pior caso entre os tempos de transição das portas. A tabela 7 apresenta os tempos de

transição obtidos por cada arranjo avaliado, para o tamanho 1x à 100°C, a variação percentual dos tempos de transição ao variar a temperatura entre 27°C e 100°C e a variação percentual dos tempos em relação à XOR 21, arranjo de melhor desempenho nesta métrica. A tabela está ordenada em ordem crescente, a partir do menor tempo de transição.

Tabela 7: Tempos de transição e variação dos tempos em função da temperatura

Arranjo	Tempo (ps)	Variação em relação à temperatura (%)	Tempo em relação à XOR 29 (%)
XOR 21	32,15	55,38	-
XOR 8	32,18	55,27	0,09
XOR 28	32,50	55,79	1,09
XOR 15	32,78	55,83	1,96
XOR 12	35,05	62,72	9,02
XOR 10	35,35	47,86	9,95
XOR 11	38,13	46,11	18,60
XOR 1	41,61	63,42	29,42
XOR 30	43,13	62,95	34,15
XOR 9	44,43	43,24	38,20
XOR 29	49,69	61,14	54,25
XOR 13	54,71	71,50	70,17
XOR 23	60,03	56,67	86,72
XOR 22	61,38	58,68	90,92
XOR 14	63,06	58,49	96,05
XOR 4	65,14	63,07	102,61
XOR 25	79,28	52,66	146,59
XOR 17	118,52	31,65	268,65
XOR 24	123,75	27,59	284,91
XOR 19	157,25	34,60	389,11
XOR 7	195,11	26,36	506,87
XOR 26	236,35	29,51	635,15

O gráfico exibido na figura 36 apresenta os arranjos com melhor desempenho nesta métrica, e os arranjos XOR 23, XOR 22 e XOR 14, arranjos com melhor desempenho geral nas avaliações, ordenados à partir do menor tempo de transição à 100°C, para o tamanho de transistor 1x e temperaturas de 27°C e 100°C.

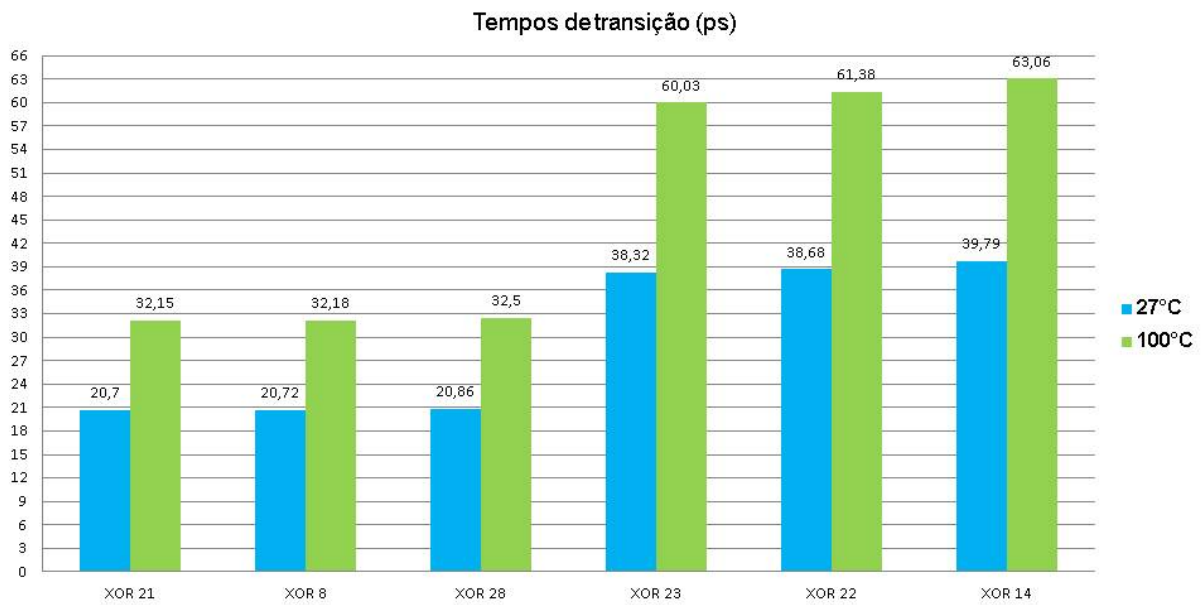


Figura 36: Gráfico de tempos de propagação

O arranjo XOR 26, pior resultado em tempos de transição, apresenta transições lentas quando B=0. A figura 37 exhibe, respectivamente, os sinais de entrada A e B e o sinal de saída OUT para XOR 26, com tamanho de transistor de 1x à temperatura de 100°C.

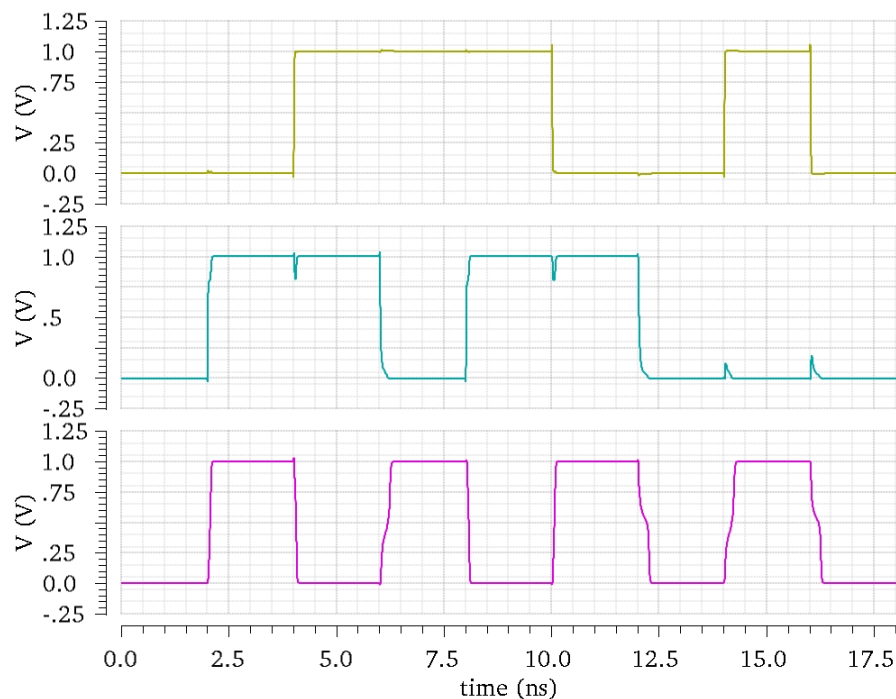


Figura 37: Entradas e saída do arranjo XOR 26

Verifica-se nos sinais da XOR 26 que a entrada B sofre interferência nas transições da entrada A e, quando o sinal de B está em queda ou baixo, as transições do sinal

de saída tornam-se mais lentas. Alterações na relação de tamanho dos transistores de todo o circuito e inclusão de buffers no sinal B e no sinal OUT foram tentadas, e duas soluções apresentam resultado semelhantes, alterar a relação P-N dos transistores para transistores P com cerca de 1,5 unidades de tamanho dos transistores N ou reduzir os transistores de tipo P dos circuitos de *feedback* para o mesmo tamanho dos transistores de tipo N. A segunda alternativa foi adotada, pois mostrou-se eficaz também com outros arranjos, e modifica menos transistores. O arranjo XOR 25 também possui realimentação no sinal de saída e apresenta o mesmo problema.

O arranjo XOR 7 apresenta o segundo pior resultado em relação à tempos de transição e a maior diferença entre tempos de subida e descida, sendo os tempos de descida muito mais lentos que os tempos de subida. A tabela 8 exibe os tempos de subida e descida para as quatro primeiras transições do sinal de saída do tamanho 1x, à temperatura de 100°C.

Tabela 8: Tempos de descida e subida da XOR 7

Transição	Descida (ps)	Subida (ps)
1	195,11	21,12
2	195,10	21,04

O sinal de saída OUT do arranjo XOR 7 é exibido na figura 38, e permite verificar que todas as transições de descida são mais lentas.

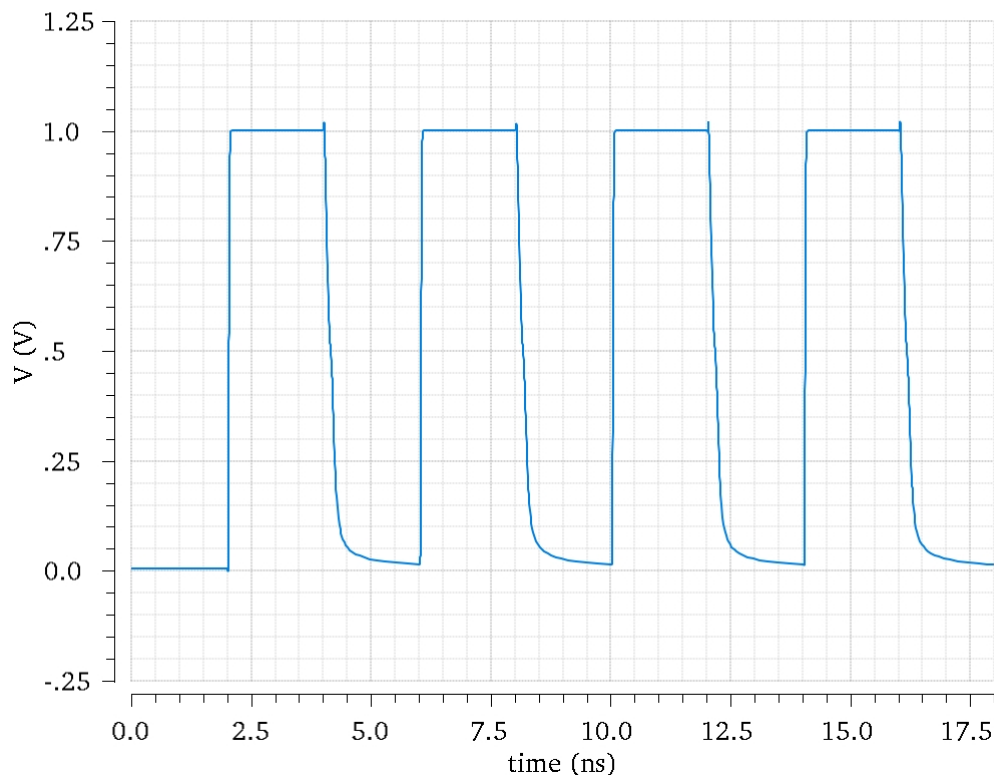


Figura 38: Sinal de saída da XOR 7

A relação ideal W_p/W_n para o modelo de transistor VTG foi estabelecida como $P=2N$, porém no arranjo XOR 7 os tempos de subida e descida estão claramente muito diferentes, sendo os tempos de subida mais rápidos em todos os casos de teste. Devido a esta diferença foram realizados testes variando o tamanho dos transistores. A variação nesta relação, aumentando o tamanho dos transistores de tipo N da XOR 7 aproxima os tempos de subida e descida.

5.3 Excursão do sinal na saída

A capacidade do sinal excursionar por toda a amplitude da tensão de saída da fonte (entre 0 e 'VDD'), em todos os nodos, é uma característica desejada em circuitos nanométricos e está relacionada à robustez do circuito. A lógica CMOS permite a construção de sistemas que sofrem pouco com a degradação de sinal, mas esta degradação é um dos problemas dos circuitos construídos com a lógica PTL e suas derivações, tornando-se crítico à medida que os sistema reduzem de tamanho e têm reduzidas suas tensões de alimentação (GOEL; ELGAMEL; BAYOUMI, 2003).

Os vinte e dois arranjos testados apresentam comportamento lógico correto para a função XOR, mas alguns apresentam problemas significativos em relação à excursão do sinal de saída, não conseguindo registrar tempos de subida ou descida por não atingirem os parâmetros requisitados nas condições de teste, ou seja, o nível do sinal muda de alto para baixo, ou de baixo para alto, quando deve fazê-lo, porém, em alguns arranjos, não atinge 80% da tensão da fonte ao subir, ou 20% ao descer.

A tabela 9 exhibe o resultado apresentado, pelos circuitos analisados neste trabalho em relação à excursão do sinal para três parâmetros de subida e descida de sinal, subidas de 10% à 90%, 20% à 80% e 30% à 70%, e descidas de 90% à 10%, 20% à 80% e 30% à 70%. Os arranjos que alcançam a excursão de sinal dentro da faixa de tensão em questão em todos os testes, variando-se temperatura e tamanho de transistores, apresentam “sim” marcado na coluna relativa à faixa, apresentando “não” caso algum dos testes não apresente resultado dentro da faixa de tensão.

Tabela 9: Excursão do sinal de saída dos arranjos para três faixas de tensão

Arranjo	90/10 e 10/90	80/20 e 20/80	70/30 e 30/70
XOR 1	Sim	Sim	Sim
XOR 4	Sim	Sim	Sim
XOR 7	Sim	Sim	Sim
XOR 8	Sim	Sim	Sim
XOR 9	Não	Não	Sim
XOR 10	Não	Não	Sim
XOR 11	Não	Não	Sim
XOR 12	Sim	Sim	Sim
XOR 13	Sim	Sim	Sim
XOR 14	Sim	Sim	Sim
XOR 15	Sim	Sim	Sim
XOR 17	Sim	Sim	Sim
XOR 19	Sim	Sim	Sim
XOR 21	Sim	Sim	Sim
XOR 22	Sim	Sim	Sim
XOR 23	Sim	Sim	Sim
XOR 24	Sim	Sim	Sim
XOR 25	Sim	Sim	Sim
XOR 26	Sim	Sim	Sim
XOR 28	Sim	Sim	Sim
XOR 29	Não	Não	Não
XOR 30	Sim	Sim	Sim

Os arranjos PTL XOR 7, XOR 17 e XOR 19 apresentam excursão do sinal muito próxima do total, alcançando em todos os testes mais de 90% do sinal na saída, mas sem completar a excursão em nenhum dos testes.

Para todos os casos de teste neste trabalho o sinal de saída OUT dos arranjos XOR atinge excursão total após passar por apenas um inversor com tamanhos de transistor iguais aos do arranjo em teste.

Para que os arranjos XOR 9, XOR 10, XOR 11 e XOR 29 possam ser testados foram incluídos no arranjo original um par de inversores em série após a saída original do arranjo. Após esta inclusão os arranjos apresentam transição do sinal de saída dentro da faixa determinada para os testes.

Os arranjos XOR 7 e XOR 24 apresentaram transições corretas somente quando transistores de tipo P que estão conectados à saída tiveram suas dimensões reduzidas para o tamanho dos transistores de tipo N do arranjo. XOR 25 e XOR 26 funcionam apenas com a redução do tamanho dos transistores de tipo P do circuito de *feedback* para o mesmo tamanho dos transistores de tipo N.

O apêndice B apresenta uma descrição dos problemas de excursão de sinal dos

arranjos XOR 9, XOR 10, XOR 11 e XOR 29 sem adição de inversores na saída.

5.4 Atraso de propagação

Os tempos de propagação indicam o desempenho da porta em relação à velocidade de mudança de estado entre a entrada e a saída, o que reflete decisivamente na performance do circuito.

A tabela 10 exibe, dos vinte e dois arranjos avaliados, o pior caso entre os tempos de propagação de cada arranjo e a variação percentual dos tempos em relação ao tempo obtido por XOR 14, o arranjo mais rápido nesta métrica, para o tamanho de transistor 1x à 100°C.

Tabela 10: Tempos de propagação e variação percentual em relação à XOR 14

Arranjo	Tempo (ps)	Variação do tempo (%)
XOR 14	36,84	-
XOR 22	37,83	2,69
XOR 12	39,78	7,98
XOR 8	43,35	17,67
XOR 15	44,54	20,90
XOR 23	45,24	22,80
XOR 1	45,95	24,73
XOR 21	46,15	25,27
XOR 30	50,33	36,62
XOR 28	51,72	40,39
XOR 13	52,32	42,02
XOR 10	57,07	54,91
XOR 29	57,27	55,46
XOR 4	57,70	56,62
XOR 25	80,20	117,70
XOR 17	90,99	146,99
XOR 9	103,64	181,32
XOR 11	104,87	184,66
XOR 24	120,32	226,60
XOR 19	120,80	227,90
XOR 7	151,18	310,37
XOR 26	176,65	379,51

Os arranjos XOR 26 e XOR 7 apresentam os dois piores resultados nesta métrica, repetindo o resultado obtido em tempos de transição.

A tabela 11 exibe os tempos de propagação médios e a variação percentual dos tempos em relação ao tempo obtido por XOR 22, para o tamanho de transistor 1x à 100°C.

Tabela 11: Tempos médios de propagação e variação percentual em relação à XOR 22

Arranjo	Tempo Médio (ps)	Variação do tempo (%)
XOR 22	25,72	-
XOR 23	28,54	10,95
XOR 14	28,77	11,83
XOR 12	28,83	12,07
XOR 13	33,62	30,69
XOR 1	35,86	39,40
XOR 30	37,24	44,79
XOR 21	37,58	46,11
XOR 8	38,05	47,91
XOR 15	38,80	50,84
XOR 4	40,81	58,67
XOR 28	41,00	59,40
XOR 29	42,81	66,42
XOR 10	46,24	79,77
XOR 17	50,85	97,67
XOR 25	58,07	125,75
XOR 11	61,10	137,55
XOR 9	61,29	138,26
XOR 24	71,34	177,34
XOR 19	84,35	227,93
XOR 7	87,23	239,10
XOR 26	111,60	333,91

Os cinco arranjos mais rápidos nos critérios de tempos de propagação (pior caso e média) são do tipo PTL, assim como os cinco arranjos mais lentos.

O gráfico exibido na figura 39 apresenta os arranjos com menor tempo de propagação e o arranjo XOR 23, ordenados à partir do menor tempo (pior caso) à 100°C, para o tamanho de transistor 1x e temperaturas de 27°C e 100°C.

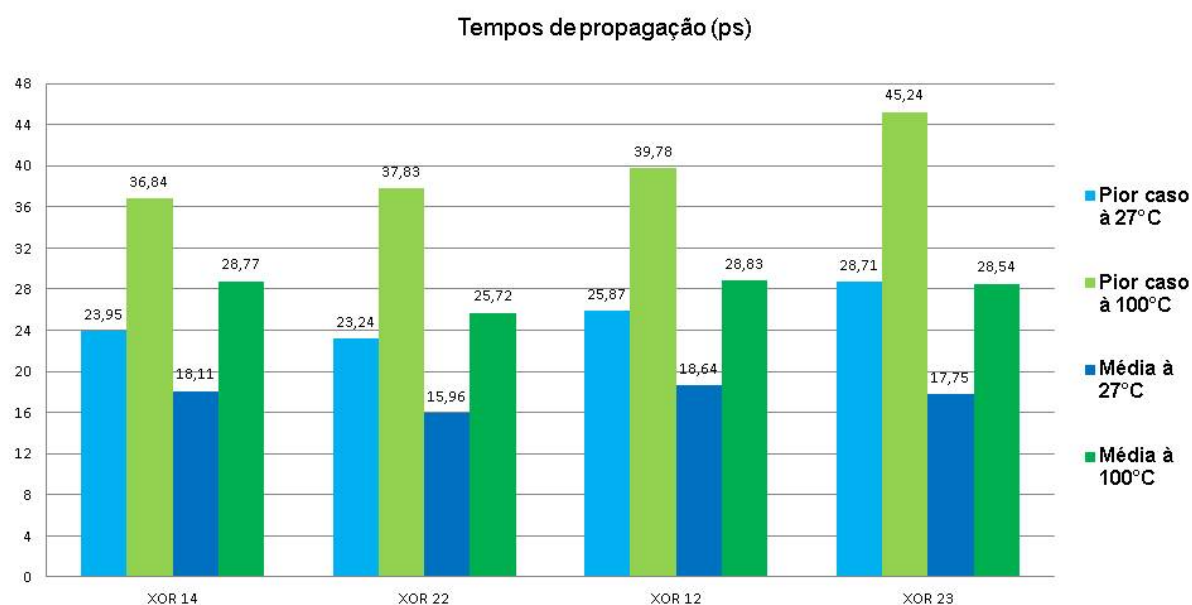


Figura 39: Gráfico de tempos de propagação

A tabela 12 apresenta o desvio padrão dos tempos de propagação dos arranjos para os oito arcos da função XOR.

Tabela 12: Desvio padrão dos tempos de propagação

Arranjo	Desvio Padrão
XOR 8	9,45
XOR 15	11,78
XOR 10	14,34
XOR 29	15,11
XOR 21	15,71
XOR 28	17,18
XOR 25	17,78
XOR 14	18,56
XOR 1	19,91
XOR 30	21,82
XOR 4	24,52
XOR 12	24,87
XOR 22	28,30
XOR 19	29,73
XOR 13	32,09
XOR 23	33,14
XOR 9	39,45
XOR 11	41,05
XOR 17	45,85
XOR 24	50,83
XOR 26	54,96
XOR 7	69,78

Os cinco arranjos com menor dispersão entre os tempos de propagação são PTL, sendo que os arranjos XOR 10 e XOR 29 apresentam problemas em outras métricas. Os cinco arranjos com maior dispersão também são PTL e apresentam problemas em outros critérios analisados neste trabalho.

A tabela 13 apresenta a variação percentual dos tempos de propagação de cada arranjo XOR em função da variação de temperatura de 27°C à 100°C, para o tamanho de transistor 1x.

Tabela 13: Variação dos tempos de propagação em função da variação de temperatura

Arranjo	Variação (%)
XOR 29	18,21
XOR 26	27,97
XOR 7	31,98
XOR 24	33,71
XOR 17	34,69
XOR 9	37,06
XOR 10	42,23
XOR 11	45,21
XOR 15	52,11
XOR 28	52,87
XOR 12	53,57
XOR 14	53,83
XOR 30	54,05
XOR 8	54,13
XOR 1	54,52
XOR 21	54,99
XOR 25	56,46
XOR 4	56,99
XOR 23	57,54
XOR 13	60,00
XOR 19	61,56
XOR 22	62,74

Os cinco arranjos com menor variação percentual dos tempos de propagação em função da temperatura são do tipo PTL, e apresentam problemas em outros critérios avaliados neste trabalho. Os cinco arranjos com maior variação dos tempos de propagação também são do tipo PTL, e XOR 19 apresenta problemas em relação a outros critérios analisados neste trabalho.

A tabela 14 apresenta a variação percentual dos tempos médios de propagação de cada arranjo XOR analisado em função da variação de temperatura de 27°C à 100°C, para o tamanho de transistor 1x.

Tabela 14: Variação da média do tempos de propagação em função da variação de temperatura

Arranjo	Variação do tempo (%)
XOR 7	34,48
XOR 26	35,09
XOR 24	36,36
XOR 29	38,93
XOR 19	39,46
XOR 9	43,74
XOR 17	45,35
XOR 11	47,49
XOR 10	51,32
XOR 8	53,45
XOR 15	54,07
XOR 28	54,34
XOR 21	54,49
XOR 12	54,69
XOR 1	55,95
XOR 30	56,09
XOR 13	56,15
XOR 4	57,41
XOR 25	57,73
XOR 14	58,83
XOR 23	60,82
XOR 22	61,15

Alguns arranjos PTL apresentam resultados muito diferentes quando a métrica adotada é a variação no tempo de propagação médio em função da variação de temperatura, ao invés do tempo máximo. Os cinco arranjos com menor variação percentual nos tempos médios de propagação são do tipo PTL e apresentam problemas em outras métricas avaliadas neste trabalho. Entre os cinco arranjos com maior variação do tempo médio de propagação em relação à variação de temperatura, todos PTL, XOR 25 apresenta problemas em outras métricas. Ao considerar-se os tempos médios de propagação os percentuais dos arranjos CMOS avaliados neste trabalho são próximos, enquanto os arranjos do tipo PTL não apresentam comportamento semelhante.

5.5 Consumo de energia

5.5.1 Consumo estático

O consumo estático corresponde à parcela de consumo de energia nos momentos em que o circuito não está mudando de estado, ou seja, quando não há transição em suas entradas ou saídas. Neste trabalho é avaliado o consumo estático considerando as quatro entradas possíveis para uma função XOR de duas variáveis. As entradas foram configuradas para não alterarem os valores iniciais até o final da simulação, e a média do consumo entre os quatro vetores de entrada é apresentada na tabela 15, que apresenta também a variação percentual do consumo dos demais arranjos em relação à XOR 23 para o tamanho de transistor 1x à temperatura de 100°C.

Tabela 15: Consumo estático e variação percentual do consumo em relação à XOR 23

Arranjo	Consumo (μW)	Variação em relação à XOR 23 (%)
XOR 23	0,0552	-
XOR 24	0,0554	0,39
XOR 17	0,0576	4,39
XOR 22	0,0587	6,29
XOR 28	0,0622	12,69
XOR 30	0,0651	17,92
XOR 4	0,0657	18,91
XOR 14	0,0662	19,92
XOR 21	0,0663	19,99
XOR 25	0,0695	25,87
XOR 10	0,0726	31,48
XOR 15	0,0772	39,92
XOR 8	0,0773	39,93
XOR 26	0,0805	45,82
XOR 13	0,0861	55,82
XOR 1	0,0863	56,30
XOR 11	0,1127	104,08
XOR 12	0,1194	116,24
XOR 9	0,1572	184,63
XOR 7	0,7876	1326,20
XOR 29	6,8407	12286,65
XOR 19	32,6572	59032,99

O gráfico exibido na figura 40 apresenta os arranjos com menor consumo estático e os arranjos XOR 22 e XOR 14, ordenados à partir do menor consumo à 100°C, para o tamanho de transistor 1x e temperaturas de 27°C e 100°C.

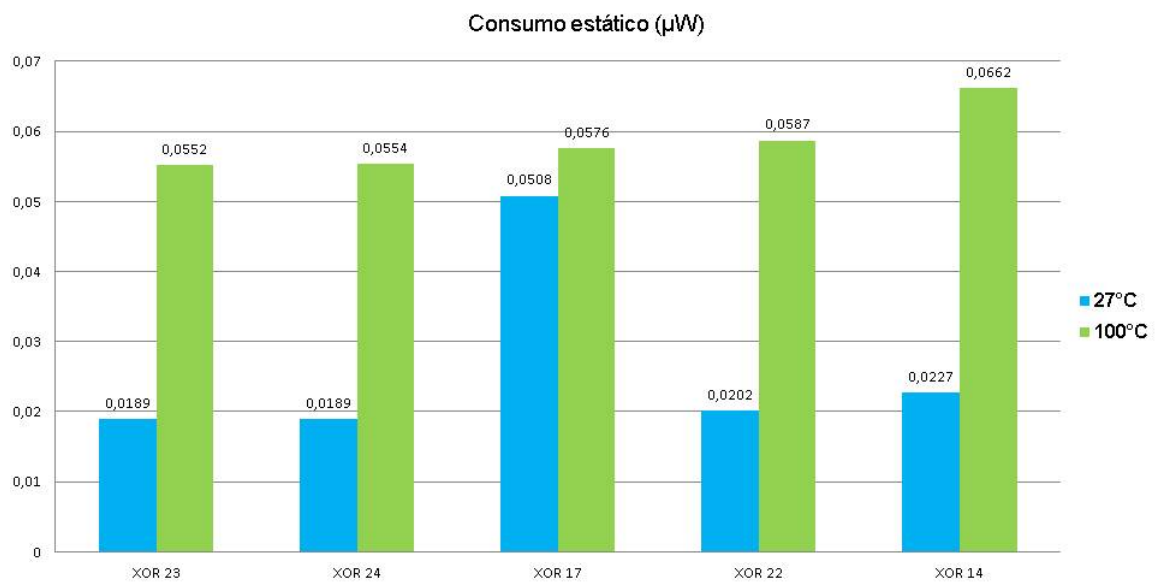


Figura 40: Gráfico de consumo estático

Os cinco arranjos que apresentam menor consumo estático são do tipo PTL, e destes, os arranjos XOR 24 e XOR 17 apresentam problemas em outras métricas analisadas neste trabalho. Os cinco arranjos de maior consumo estático também são do tipo PTL e quatro destes apresentam problemas em outras métricas analisadas.

A tabela 16 apresenta as variações do consumo estático em função da variação de temperatura de 27°C à 100°C e da variação do tamanho dos transistores de 1x à 8x, ordenados a partir da menor variação de consumo em função da temperatura.

Tabela 16: Variação do consumo estático em função da variação de temperatura e do tamanho dos transistores

Arranjo	Variação 27°C à 100°C (%)	Variação de 1x à 8x (%)
XOR 9	-2,18	753,12
XOR 11	-6,17	754,61
XOR 17	13,50	755,31
XOR 7	19,20	755,84
XOR 19	-39,07	763,83
XOR 10	45,73	755,64
XOR 29	-68,82	372,63
XOR 1	172,27	684,54
XOR 30	174,81	756,85
XOR 28	176,55	750,55
XOR 4	183,18	756,88
XOR 22	190,09	753,20
XOR 13	190,95	707,56
XOR 23	191,69	756,91
XOR 14	191,96	756,91
XOR 21	192,10	756,92
XOR 15	192,29	756,92
XOR 8	192,32	756,92
XOR 24	192,74	768,52
XOR 26	193,95	762,42
XOR 25	193,99	763,29
XOR 12	198,67	733,97

Os cinco arranjos com menor variação no consumo estático ao variar a temperatura de 27°C à 100°C são do tipo PTL, e apresentam problemas também em outras métricas avaliadas neste trabalho. O arranjo XOR 29, que apresenta a maior redução no consumo estático quando a temperatura aumenta também apresenta variação no consumo estático em função da variação no tamanho dos transistores de 1x à 8x consideravelmente diferente da variação apresentada pelos demais arranjos avaliados.

O apêndice C discute alguns dos resultados de consumo estático em divergentes daqueles obtidos pela maioria dos arranjos.

5.5.2 Consumo dinâmico

O consumo dinâmico é o principal componente do consumo de circuitos CMOS. Neste trabalho o consumo dinâmico dos vinte e dois arranjos foi determinado através da multiplicação da integral da corrente das fontes pela tensão de alimentação, divididos pelo tempo de simulação.

A tabela 17 apresenta o consumo dinâmico e a variação percentual do consumo dos demais arranjos em relação à XOR 23 para o tamanho de transistor 1x à tempe-

ratura de 100°C.

Tabela 17: Consumo dinâmico e variação percentual no consumo em relação à XOR 23

Arranjo	Consumo (μ W)	Variação em relação à XOR 23 (%)
XOR 23	1,5715	-
XOR 22	1,7253	9,79
XOR 14	1,7606	12,03
XOR 4	1,8520	17,85
XOR 28	1,8627	18,53
XOR 21	1,9070	21,35
XOR 1	1,9594	24,68
XOR 30	1,9866	26,41
XOR 13	2,0683	31,61
XOR 15	2,0964	33,40
XOR 8	2,0970	33,44
XOR 12	2,2993	46,31
XOR 17	2,4349	54,94
XOR 10	2,5233	60,56
XOR 24	2,7028	71,99
XOR 25	3,4950	122,40
XOR 11	3,5165	123,77
XOR 9	3,7242	136,98
XOR 26	4,6719	197,29
XOR 7	5,2931	236,82
XOR 29	9,1604	482,90
XOR 19	37,8840	2310,70

O gráfico exibido na figura 41 apresenta os arranjos com menor consumo dinâmico e os arranjos XOR 22 e XOR 14, ordenados à partir do menor consumo à 100°C, para o tamanho de transistor 1x e temperaturas de 27°C e 100°C.

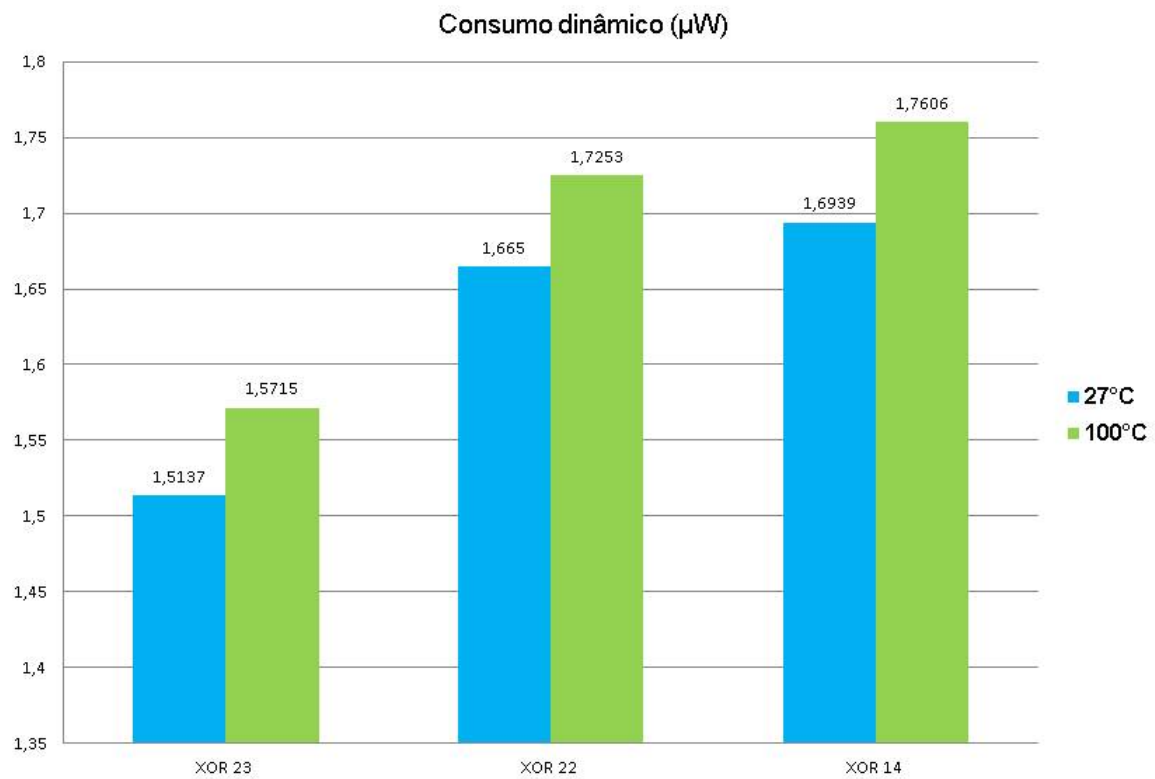


Figura 41: Gráfico de consumo dinâmico

Os cinco arranjos com menor consumo dinâmico são do tipo PTL. Os cinco arranjos de maior consumo também são do tipo PTL e apresentam problemas em outras métricas avaliadas neste trabalho.

A tabela 18 apresenta a variação do consumo dinâmico em função da variação de temperatura de 27°C à 100°C e da variação do tamanho dos transistores de 1x à 8x, ordenados em ordem crescente à partir da menor variação de consumo em função da temperatura.

Tabela 18: Variação percentual do consumo dinâmico em função da temperatura e do tamanho dos transistores

Arranjo	Variação 27°C à 100°C (%)	Variação de 1x à 8x (%)
XOR 25	2,70	766,19
XOR 26	-2,88	785,45
XOR 28	3,39	745,08
XOR 30	3,49	744,30
XOR 1	3,53	744,98
XOR 10	-3,53	748,89
XOR 4	3,60	745,01
XOR 22	3,62	742,17
XOR 13	3,78	738,56
XOR 21	3,81	744,96
XOR 23	3,82	743,73
XOR 8	3,85	744,76
XOR 15	3,92	745,01
XOR 12	3,93	736,83
XOR 14	3,94	744,96
XOR 24	-7,14	762,32
XOR 17	-11,29	737,74
XOR 11	-12,27	748,74
XOR 9	-13,79	743,78
XOR 7	-20,42	744,95
XOR 19	-41,21	743,62
XOR 29	-64,32	447,50

Os cinco arranjos com menor variação do consumo dinâmico em função da variação de temperatura de 27°C à 100°C, são do tipo PTL, e três apresentam problemas em outras métricas. Os doze arranjos que não apresentam problemas em nenhum parâmetro apresentam variação do consumo em uma estreita faixa, de 3,39% à 3,94%. Os cinco arranjos com maior variação percentual do consumo em função da variação de temperatura são do tipo PTL, e apresentam variação negativa no consumo quando a temperatura aumenta, e estes arranjos também apresentam variação do consumo dinâmico em função da variação de temperatura consideravelmente diferente do conjunto de doze arranjos que não apresentam problemas em nenhuma das métricas.

Os oito arranjos que apresentam consumo severamente diferente dos demais apresentam também vários problemas em relação a tempos de transição e/ou propagação, e quatro apresentam problemas de excursão do sinal. O apêndice D discute alguns dos resultados de consumo dinâmico divergentes daqueles obtidos pela maioria dos arranjos.

5.6 Área dos arranjos

A tabela 19 apresenta a área dos 12 (doze) arranjos que não apresentam problemas em nenhuma métrica, para o tamanho de transistor 1x.

Tabela 19: Área dos arranjos

Arranjo	Área (pm ²)
XOR 23	0,1161
XOR 14	0,1485
XOR 21	0,1485
XOR 8	0,1809
XOR 15	0,1809
XOR 4	0,2133
XOR 22	0,2844
XOR 28	0,3015
XOR 13	0,3618
XOR 1	0,4266
XOR 12	0,4266
XOR 30	0,4266

5.7 Resumo dos resultados

Os vinte e dois arranjos avaliados neste trabalho foram modelados em SPICE netlist e validados para a lógica XOR. Pelo conjunto de resultados observados, a utilização de dez arranjos do tipo PTL com a tecnologia FreePDK 45 não é recomendável.

A tabela 20 apresenta os arranjos XOR que têm resultados muito divergentes e assinala em quais métricas relacionadas à tempos de transição e propagação os arranjos apresentam problemas que devem ser observados. Esta tabela assinala também os arranjos que possuem problemas em relação à excursão do sinal de saída. As colunas correspondem, respectivamente, à excursão do sinal, tempo de transição do sinal, tempo de propagação (pior caso), tempo de propagação médio.

Tabela 20: Arranjos com problemas em métricas de excursão de sinal e tempos

XOR	Exc	Trans	PropMax	PropMed
XOR 7		X	X	X
XOR 9	X		X	
XOR 10	X			
XOR 11	X			
XOR 17		X		
XOR 19		X	X	X
XOR 24		X	X	X
XOR 25			X	X
XOR 26		X	X	X
XOR 29				

A tabela 21 delimita em quais métricas relacionadas ao consumo de energia os arranjos apresentam problemas. As colunas correspondem, respectivamente, ao número de transistores, consumo estático, variação do consumo estático em função da variação da temperatura, consumo dinâmico e variação do consumo dinâmico em função da variação da temperatura. Os arranjos que apresentam número de transistores "4 + 4" tiveram dois inversores adicionados após a saída devido à problemas de excursão do sinal.

Tabela 21: Arranjos com problemas em métricas de consumo

XOR	Nº transistores	ConsEst	VConsEst	ConsDin	VConsDin
XOR 7	9	X	X	X	X
XOR 9	4 + 4		X	X	X
XOR 10	4 + 4		X		X
XOR 11	4 + 4		X	X	X
XOR 17	6		X	X	X
XOR 19	12	X	X	X	X
XOR 24	8				X
XOR 25	10			X	
XOR 26	12			X	X
XOR 29	4 + 4	X	X	X	X

Os arranjos CMOS apresentam desempenho intermediário se comparados ao conjunto de arranjos PTL avaliados, e apresentam desempenho semelhante entre si.

Os resultados apresentados neste trabalho indicam que os circuitos mais rápidos entre os que não apresentam problemas em nenhuma métrica são os arranjos XOR XOR 14 e XOR 22. A variação nos tempos de propagação em função da variação da temperatura é próxima nos 12 arranjos que não apresentam problema em nenhuma métrica.

Em relação ao consumo, entre os que não apresentam problemas em nenhuma métrica, os arranjos XOR 22 e XOR 23 obtiveram os melhores resultados e, quanto à variação do consumo em função da variação de temperatura, os melhores resultados foram obtidos para os arranjos XOR 30, XOR 1 e XOR 28.

A figura 42 apresenta um gráfico que relaciona consumo dinâmico e atraso de propagação dos doze arranjos que não apresentam problemas em nenhuma métrica. Os arranjos mais próximos à origem dos eixos podem ser considerados como melhores.

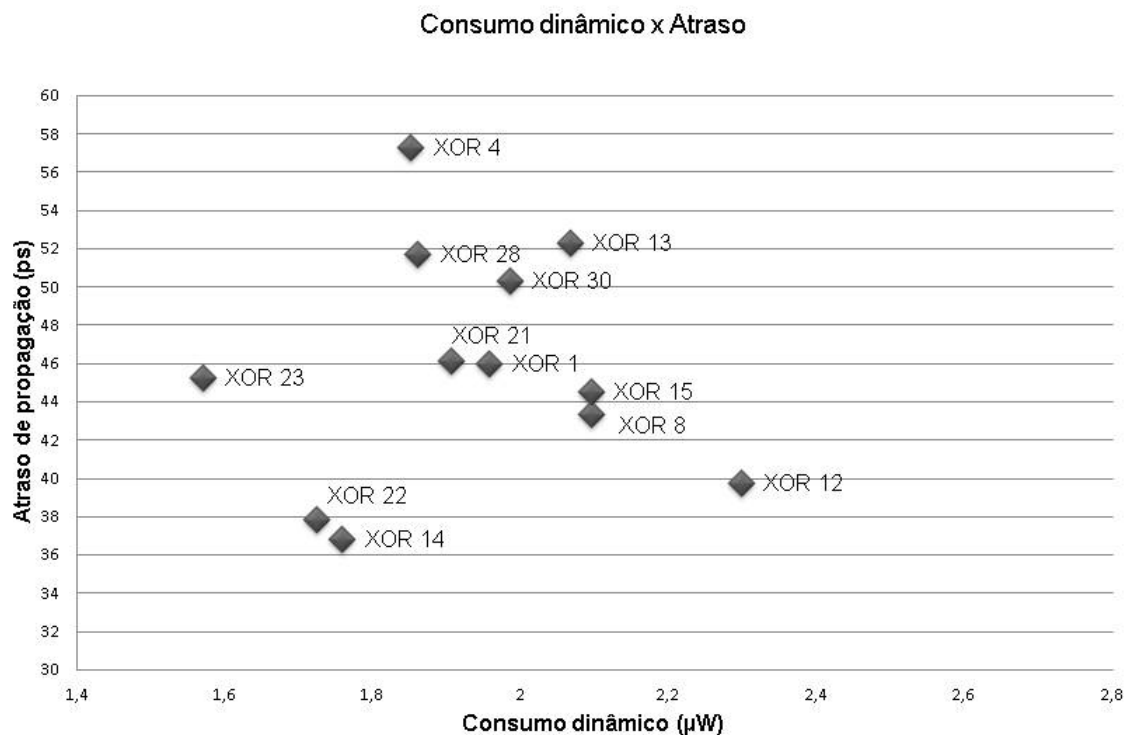


Figura 42: Consumo dinâmico X Atraso de propagação

A figura 43 apresenta um gráfico que relaciona consumo estático e atraso de propagação dos doze arranjos que não apresentam problemas em nenhuma métrica. Os arranjos mais próximos à origem dos eixos podem ser considerados como melhores.

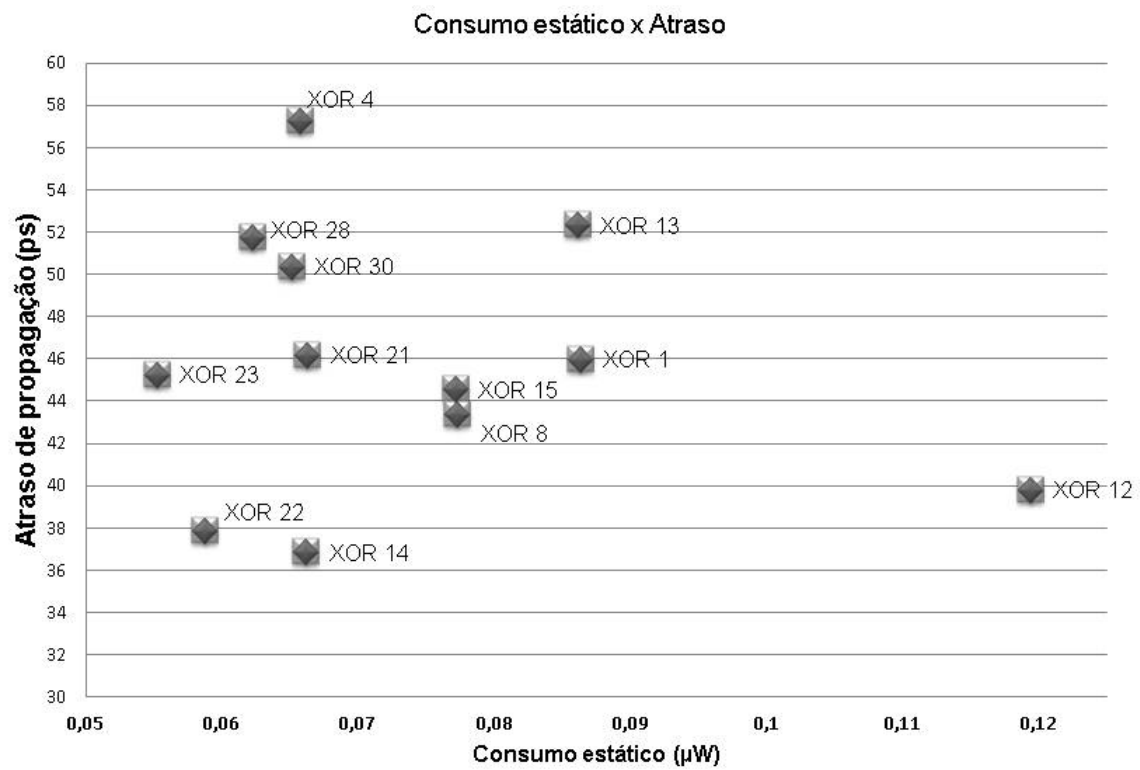


Figura 43: Consumo estático X Atraso de propagação

A figura 44 apresenta um gráfico que relaciona consumo dinâmico e área dos doze arranjos que não apresentam problemas em nenhuma métrica. Os arranjos mais próximos à origem dos eixos podem ser considerados como melhores.

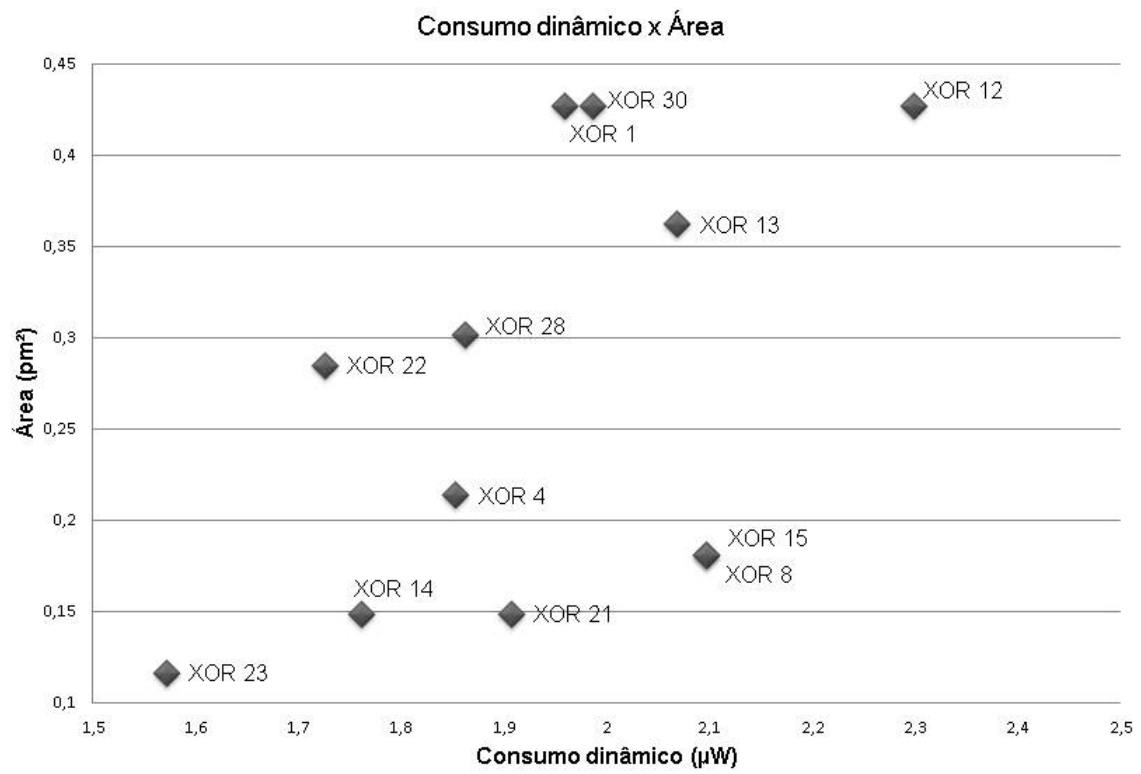


Figura 44: Consumo dinâmico X Área

6 CONCLUSÃO E TRABALHOS FUTUROS

6.1 Conclusão

Neste trabalho foram avaliados, para uma tecnologia de 45-nm, vinte e um arranjos XOR previamente discutidos em outros trabalhos, e o arranjo XOR utilizado pela biblioteca de células da tecnologia FreePDK 45. Os vinte e um arranjos selecionados de outros trabalhos foram anteriormente avaliados para critérios e tecnologias diferentes dos adotados neste trabalho. O software Spectre foi utilizado para as simulações do comportamento dos circuitos, que foram modelados em SPICE netlist. Os comandos utilizados são compatíveis também com a linguagem utilizada pelo software HSpice, para o qual os arquivos de tecnologia dos modelos de transistor são disponibilizados pela tecnologia FreePDK 45.

Os resultados obtidos confirmam, em muitos casos, conclusões dos trabalhos originais, mas revelam, para o método de avaliação adotado, inadequação de alguns arranjos para uso com a FreePDK 45.

Muitos trabalhos relacionados não detalham a metodologia utilizada para obter os resultados, e alguns trabalhos não citam a metodologia, não havendo um método predominantemente adotado para verificação do desempenho de circuitos nas métricas avaliadas neste trabalho. Alguns arranjos avaliados na literatura apresentam problemas que os inviabilizam, segundo os critérios de obtenção dos dados adotados, para uso com a tecnologia FreePDK 45. Os dados são obtidos, mas em uma análise aprofundada devem ser relativizados em função de outros aspectos que podem induzir a erros de avaliação.

Os arranjos XOR 22, XOR 14 e XOR 23, todos PTL, apresentaram os melhores resultados nas avaliações realizadas neste trabalho. O arranjo CMOS XOR 30, utilizado pela FreePDK 45 possui uma melhor relação consumo x atraso em relação ao arranjo CMOS XOR 1.

Os arranjos XOR 7, XOR 9, XOR 10, XOR 11, XOR 17, XOR 19, XOR 24, XOR 25, XOR 26 e XOR 29 apresentam problemas significativos nas condições de teste aplicadas em relação à transição do sinal, tempos de propagação ou consumo excessivos.

A maior parte dos resultados relacionados à tempos de propagação altos destes arranjos PTL podem ser explicado em função do desenho, o que torna provável que os mesmos apresentem problemas semelhantes em tecnologias com comprimento de canal e tensões de alimentação próximas à utilizada neste trabalho.

O arranjo XOR 23 é o que pode ser implementado com menor custo de área, seguido de XOR 14, outro arranjo que apresenta bons resultados nesta avaliação, e XOR 21.

6.2 Trabalhos futuros

Como sugestões de trabalhos futuros enumera-se:

- A Ampliação dos casos testes para os arranjos que apresentam problemas de excursão do sinal, ruído, tempos de transição, propagação ou consumo muito altos, para verificar se alterações nos parâmetros de teste ou nas configurações dos arranjos podem melhorar seus desempenhos;
- A realização de testes do mesmo conjunto de arranjos XOR com os outros modelos de transistor disponibilizados pela tecnologia FreePDK 45, para investigar as alterações no comportamento dos arranjos em função da mudança nos perfis;
- A realização de testes do mesmo conjunto de arranjos com outras tecnologias, utilizando a mesma metodologia, para identificar tendências em relação à adaptação de cada arranjo em relação à miniaturização dos circuitos;
- Ampliação do conjunto de arranjos XOR testados.

REFERÊNCIAS

BUI, H. T.; AL-SHERAIDAH, A. K.; WANG, Y. New 4-Transistor XOR and XNOR Designs. **Asia Pacific Conference**, Cheju, South Korea, p.25–28, 2000.

BUTZEN, P. F.; DAL BEM, V.; REIS, A. I.; RIBAS, R. P. **Efeitos Físicos Nanométricos em Circuitos Integrados Digitais**. In: J. Mattos, L. Rosa Jr.; M. Pilla. (Org.). *Desafios e Avanços em Computação: o Estado da Arte*. 1.ed. Pelotas, Brasil: UFPel, 2009. 221-240p. v.1.

GARG, R.; KHATRI, S. Generalized Buffering of Pass Transistor Logic (PTL) Stages Using Boolean Division and Don't Cares. **International Symposium on Circuits and Systems**, Island of Kos, Greece, 2006.

GOEL, S.; ELGAMEL, M. A.; BAYOUMI, M. A. Novel Design Methodology for High-Performance XOR-XNOR Circuit Design. **Symposium on Integrated Circuits and Systems Design**, São Paulo, Brasil, p.71–76, 2003.

GOEL, S.; KUMAR, A.; BAYOUMI, M. A. Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style. **IEEE Transactions on VLSI Systems**, [S.l.], v.14, p.1309–1321, 2006.

KUMAR, M.; DESHMUKH, K. Low Power and High Performance Dynamic CMOS XOR/XNOR Gate Design Using Body Bias Technique. **International Journal of Engineering and Technical Research**, [S.l.], v.3, p.40–43, 2015.

LAI, I.-T.; JIANG, Y.-C.; CHU, H.-M. BDD Decomposition for Mixed CMOS/PTL Logic Circuit Synthesis. **IEEE International Symposium on Circuits and Systems**, Kobe, Japan, p.5649–5652, 2005.

LEE, J.; GUPTA, P. Impact of Range and Precision in Technology on Cell-Based Design. **IEEE/ACM International Conference on Computer-Aided Design**, San Jose, USA, p.5–8, 2012.

MISHRA, S. S.; AGRAVAL, A. K.; NAGARIA, R. A comparative performance analysis of various CMOS design techniques for XOR and XNOR circuits. **International Journal on Emerging Technologies**, [S.l.], p.1–10, 2010.

PARHAMI, B. **Arquitetura de Computadores**: De Microprocessadores a Supercomputadores. São Paulo: McGraw-Hill, 2007. 3-20p.

PEDRONI, V. **Eletrônica Digital Moderna e VHDL**. Rio de Janeiro: Elsevier, 2010. 1-18 and 61-83p.

PURNIMA, K. e. a. Design of Modified Shannon Based Full Adder Cell Using PTL Logic for Low Power Applications. **International Journal of Computer Science and Information Technologies**, [S.l.], v.3, p.2964–2968, 2012.

REIS, R. A. d. L. O. **Concepção de Circuitos Integrados**. 2.ed. Porto Alegre: Sagra Luzzatto, 2002.

SILVA, F. G. R. G. d. e. a. Process Variability Effects on Performance and Power Consumption of XOR. **29° Simpósio Sul de Microeletrônica**, Alegrete, Brasil, 2014.

SILVA, F. G. R. G. d. e. a. Temperature Fluctuation Effects on Performance of XOR. **14° Microeletronic Students Forum**, Aracaju, Brasil, 2014.

TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. **Sistemas Digitais**: Princípios e Aplicações. 10.ed. São Paulo: Pearson Prentice Hall, 2007.

TSAL, M.-Y. **An Efficient Hybrid CMOS/PTL (Pass-Transistor Logic Synthesizer and Its Applications to the Design of Arithmetic Units and 3D Graphic Processors**. 2009. 141p. Tese (doutorado em Ciência da Computação) — National Sun Yat-sen University, Kaohsiung, Taiwan.

WAGNER, F. R.; REIS, A. I.; RIBAS, R. P. **fundamentos de Circuitos Digitais**. Porto Alegre: Sagra Luzzatto, 2006.

WANG J-M.AND FANG, S.-C.; FENG, W.-S. New Efficient Designs for XOR and XNOR Functions on the Transistor Level. **IEEE Journal of Solid-State Circuits**, [S.l.], v.29, p.708–786, 1994.

APÊNDICE A

* Obtenção da integral das fontes-----

```
.measure tran i_v0i_integ INTEG i(V0i) FROM=0.1ns TO=18ns
.measure tran i_v1i_integ INTEG i(V1i) FROM=0.1ns TO=18ns
.measure tran i_V0xor_integ INTEG i(V0xor) FROM=0.1ns TO=18ns
.measure tran i_V1xor_integ INTEG i(V1xor) FROM=0.1ns TO=18ns
```

* Tempo da análise-----

```
.tran 0.01ns 18ns
```

* Configuração de parâmetros de simulação -----

```
.option method=trap * Método de integração recomendado pelo Spectre para
maior precisão nas simulações
.option gmin=1e-15 * Condutância mínima entre as junções dos semicondutores
.option reltol=1e-04 * Parâmetro relacionado a erros de convergência a cada
passo nas simulações. O valor padrão do simulador é 1e-03;
```

* Análise para as temperaturas determinadas -----

```
.temp= 27 , 50, 75, 100
```

* Parâmetros de dimensionamento dos transistores. Para cada temperatura são feitas as medições de todos os tamanhos setados. -----

```
.param wp2=2*wp
.param wn2=2*wn
```

```
.param wp=180e-9 wn=90e-9
.alter
.param wp=360e-9 wn=180e-9
.alter
```

```
.param wp=720e-9 wn=360e-9
```

```
.alter
```

```
.param wp=1440e-9 wn=720e-9
```

* Fontes de alimentação utilizadas em todas as simulações

```
V0      GND  0  DC 0V
```

```
V1      VDD  0  DC 1.0V
```

```
V0i     GNDi  0  DC 0V
```

```
V1i     VDDi  0  DC 1.0V
```

```
V0xor   GNDxor 0  DC 0V
```

```
V1xor   VDDxor 0  DC 1.0V
```

```
V0out   GNDout 0  DC 0V
```

```
V1out   VDDout 0  DC 1.0V
```

* Entradas para medidas de consumo dinâmico, tempos de propagação e transição, verifica o consumo para os 8 arcos da função XOR

```
Vin1 a0 GND PWL(0ns 0 2ns 0 4ns 0 4.01ns 1 6ns 1 8ns 1 10ns 1
10.01ns 0 12ns 0 14ns 0 14.01ns 1 16ns 1 16.01ns 0)
```

```
Vin2 b0 GND PWL(0ns 0 2ns 0 2.01ns 1 4ns 1 6ns 1 6.01ns 0 8ns 0
8.01ns 1 10ns 1 12ns 1 12.01ns 0 14ns 0 16ns 0)
```

* Entradas para medidas de consumo estático com as duas entradas com nível lógico baixo

```
Vin1 a0 GND PULSE(0 0 0 0.01nS 0.01ns 18ns 18ns)
```

```
Vin2 b0 GND PULSE(0 0 0 0.01nS 0.01ns 18ns 18ns)
```

* Entradas para medidas de consumo estático com a entrada B com nível lógico alto

```
Vin1 a0 GND PULSE(0 0 0 0.01nS 0.01ns 18ns 18ns)
```

```
Vin2 b0 GND PULSE(1.0 1.0 0 0.01nS 0.01ns 18ns 18ns)
```

* Entradas para medidas de consumo estático com a entrada A com nível lógico alto

```
Vin1 a0 GND PULSE(1.0 1.0 0 0.01nS 0.01ns 18ns 18ns)
```

```
Vin2 b0 GND PULSE(0 0 0 0.01nS 0.01ns 18ns 18ns)
```

* Entradas para medidas de consumo estático com as duas entradas com nível lógico alto

```
Vin1 a0 GND PULSE(1.0 1.0 0 0.01nS 0.01ns 18ns 18ns)
```

```
Vin2    b0    GND    PULSE(1.0 1.0  0  0.01nS 0.01ns 18ns 18ns)
```

```
* MEDIÇÕES-----
```

```
* Tempos de propagação para os 8 arcos da função XOR
```

```
.measure tran tpLH01  trig v(b)    val=0.5  td=1n  rise = 1
+                      targ v(out) val=0.5  td=1n  rise = 1
```

```
.measure tran tpHL13  trig v(a)    val=0.5  td=1n  rise = 1
+                      targ v(out) val=0.5  td=1n  fall  = 1
```

```
.measure tran tpLH32  trig v(b)    val=0.5  td=1n  fall  = 1
+                      targ v(out) val=0.5  td=1n  rise  = 2
```

```
.measure tran tpHL23  trig v(b)    val=0.5  td=1n  rise = 2
+                      targ v(out) val=0.5  td=1n  fall = 2
```

```
.measure tran tpLH31  trig v(a)    val=0.5  td=1n  fall  = 1
+                      targ v(out) val=0.5  td=1n  rise  = 3
```

```
.measure tran tpHL10  trig v(b)    val=0.5  td=1n  fall  = 2
+                      targ v(out) val=0.5  td=1n  fall  = 3
```

```
.measure tran tpLH02  trig v(a)    val=0.5  td=1n  rise = 2
+                      targ v(out) val=0.5  td=1n  rise = 4
```

```
.measure tran tpHL20  trig v(a)    val=0.5  td=1n  fall  = 2
+                      targ v(out) val=0.5  td=1n  fall  = 4
```

```
* Tempos de transição para os 8 arcos da função XOR
```

```
*Rise
```

```
.measure tran ara  trig v(out) val=0.2  td=1n rise=1
+                  targ v(out) val=0.8  td=1n rise=1
```

```
.measure tran arb  trig v(out) val=0.2  td=1n rise=2
+                  targ v(out) val=0.8  td=1n rise=2
```

```
.measure tran arc  trig v(out) val=0.2  td=1n rise=3
+                  targ v(out) val=0.8  td=1n rise=3
```

```
.measure tran ard  trig v(out) val=0.2  td=1n rise=4
```

```

+                targ v(out) val=0.8  td=1n rise=4

*Fall
.measure tran afa  trig v(out) val=0.8  td=1n fall=1
+                targ v(out) val=0.2  td=1n fall=1
.measure tran afb  trig v(out) val=0.8  td=1n fall=2
+                targ v(out) val=0.2  td=1n fall=2
.measure tran afc  trig v(out) val=0.8  td=1n fall=3
+                targ v(out) val=0.2  td=1n fall=3
.measure tran afd  trig v(out) val=0.8  td=1n fall=4
+                targ v(out) val=0.2  td=1n fall=4

* Circuito de apoio para o teste dos arranjos

* Comando para o Spectre interpretar os arquivos de tecnologia feitos para
HSPICE
*-----
simulator lang=spice

* Arquivos com regras de projeto para transistores tipo P e N da lib
FreePDK45
*-----
.inc NMOS_VTG.inc
.inc PMOS_VTG.inc

*Circuito de teste - inversores de entrada
*-----
*Mxx      ND      NG      NS      NB      MNOME      L      W
*-----
* IN A
M001_in  not_ai   a0      VDD    VDD    PMOS_VTG  L= 50e-9 W= wp
M002_in  not_ai   a0      GND    GND    NMOS_VTG  L= 50e-9 W= wn
M003_in   a      not_ai  VDDi   VDDi   PMOS_VTG  L= 50e-9 W= wp
M004_in   a      not_ai  GNDi   GNDi   NMOS_VTG  L= 50e-9 W= wn
* IN B
M005_in  not_bi   b0      VDD    VDD    PMOS_VTG  L= 50e-9 W= wp
M006_in  not_bi   b0      GND    GND    NMOS_VTG  L= 50e-9 W= wn
M007_in   b      not_bi  VDDi   VDDi   PMOS_VTG  L= 50e-9 W= wp
M008_in   b      not_bi  GNDi   GNDi   NMOS_VTG  L= 50e-9 W= wn

```

```

* Circuito a ser testado-----

* INCLUIR AQUI A DESCRIÇÃO DO CIRCUÍTO À SER TESTADO <-----

* Fim do circuito a ser testado-----

* Circuito de teste - saída (Fan-out 4)-----
*-----
*Mxx      ND      NG      NS      NB      MNAME      L      W
*-----
*OUT 1
M009_out out1      out      VDDout  VDDout PMOS_VTG  L= 50e-9  W= wp
M010_out out1      out      GNDout  GNDout NMOS_VTG  L= 50e-9  W= wn
*OUT 2
M011_out out2      out      VDDout  VDDout PMOS_VTG  L= 50e-9  W= wp
M012_out out2      out      GNDout  GNDout NMOS_VTG  L= 50e-9  W= wn
*OUT 3
M013_out out3      out      VDDout  VDDout PMOS_VTG  L= 50e-9  W= wp
M014_out out3      out      GNDout  GNDout NMOS_VTG  L= 50e-9  W= wn
*OUT 4
M015_out out4      out      VDDout  VDDout PMOS_VTG  L= 50e-9  W= wp
M016_out out4      out      GNDout  GNDout NMOS_VTG  L= 50e-9  W= wn

* Fim do circuito de teste - saída -----

*-----
*SPICE Netlist dos vinte e três arranjos avaliados
*-----

*XOR 1-----
M01xor1 not_a      a      VDDxor  VDDxor  PMOS_VTG  L= 50e-9  W= wp
M02xor1 not_a      a      GNDxor  GNDxor  NMOS_VTG  L= 50e-9  W= wn
M03xor1 not_b      b      VDDxor  VDDxor  PMOS_VTG  L= 50e-9  W= wp
M04xor1 not_b      b      GNDxor  GNDxor  NMOS_VTG  L= 50e-9  W= wn
M05xor1 int_1      not_b  VDDxor  VDDxor  PMOS_VTG  L= 50e-9  W= wp2
M06xor1 out        a      int_1   VDDxor  PMOS_VTG  L= 50e-9  W= wp2
M07xor1 int_2      b      VDDxor  VDDxor  PMOS_VTG  L= 50e-9  W= wp2
M08xor1 out        not_a  int_2   VDDxor  PMOS_VTG  L= 50e-9  W= wp2

```

```

M09xor1 out b int_3 GNDxor NMOS_VTG L= 50e-9 W= wn2
M10xor1 int_3 a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2
M11xor1 out not_b int_4 GNDxor NMOS_VTG L= 50e-9 W= wn2
M12xor1 int_4 not_a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2

```

*XOR 4-----

```

M001xor4 not_a a VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor4 not_a a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor4 not_b b VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor4 not_b b GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor4 out not_b not_a VDDxor PMOS_VTG L= 50e-9 W= wp
M006xor4 out b not_a GNDxor NMOS_VTG L= 50e-9 W= wn
M007xor4 int_p not_a VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M008xor4 out b int_p VDDxor PMOS_VTG L= 50e-9 W= wp
M009xor4 out not_b int_n GNDxor NMOS_VTG L= 50e-9 W= wn
M010xor4 int_n not_a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn

```

*XOR 7-----

```

M001xor7 not_a a VDD VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor7 not_a a GND GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor7 not_b b VDD VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor7 not_b b GND GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor7 int_1 b a GNDxor NMOS_VTG L= 50e-9 W= wn
M006xor7 int_1 not_b not_a GNDxor NMOS_VTG L= 50e-9 W= wn
M007xor7 out int_1 VDDxor VDDxor PMOS_VTG L= 50e-9 W= wn
M008xor7 out int_1 VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M009xor7 out int_1 GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn

```

*XOR 8-----

```

M001xor8 not_a a VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor8 not_a a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor8 not_b b VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor8 not_b b GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor8 int_1 not_a b VDDxor PMOS_VTG L= 50e-9 W= wp
M006xor8 int_1 b a GNDxor NMOS_VTG L= 50e-9 W= wn
M007xor8 int_1 a not_b VDDxor PMOS_VTG L= 50e-9 W= wp
M008xor8 int_1 not_b not_a GNDxor NMOS_VTG L= 50e-9 W= wn
M009xor8 out int_1 VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M010xor8 out int_1 GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn

```

*XOR 9-----

```
M001xor9 not_a  a  VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M002xor9 not_a  a  GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M003xor9 outinv b   a   VDDxor PMOS_VTG  L= 50e-9 W= wp
M004xor9 outinv b  not_a GNDxor NMOS_VTG  L= 50e-9 W= wn
```

*Inversores adicionados devido a falta de excursão do sinal

```
M005xor9 intinv outinv VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M006xor9 intinv outinv GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M007xor9 out   intinv VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M008xor9 out   intinv GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
```

XOR 10-----

```
M001xor10 outinv  a   int_1  GNDxor  NMOS_VTG  L= 50e-9 W= wn2
M002xor10  int_1  b  GNDxor  GNDxor  NMOS_VTG  L= 50e-9 W= wn2
M003xor10 outinv  a     b   VDDxor  PMOS_VTG  L= 50e-9 W= wp
M004xor10 outinv  b     a   VDDxor  PMOS_VTG  L= 50e-9 W= wp
```

*Inversores adicionados devido a falta de excursão do sinal

```
M005xor10 intinv outinv VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M006xor10 intinv outinv GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M007xor10 out   intinv VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M008xor10 out   intinv GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
```

XOR 11-----

```
M001xor11  int_1  a     b   VDDxor PMOS_VTG  L= 50e-9 W= wp
M002xor11  int_1  a  GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn2
M003xor11 outinv b   a   VDDxor PMOS_VTG  L= 50e-9 W= wp
M004xor11 outinv b  int_1 GNDxor NMOS_VTG  L= 50e-9 W= wn2
```

*Inversores adicionados devido a falta de excursão do sinal

```
M005xor11 intinv outinv VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M006xor11 intinv outinv GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M007xor11 out   intinv VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M008xor11 out   intinv GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
```

XOR 12-----

```

M001xor12 int_1      a      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp2
M002xor12 out      int_2  int_1  VDDxor PMOS_VTG L= 50e-9 W= wp2
M003xor12 int_2      b      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp2
M004xor12 out      int_1  int_2  VDDxor PMOS_VTG L= 50e-9 W= wp2
M005xor12 out      b      int_1  GNDxor NMOS_VTG L= 50e-9 W= wn2
M006xor12 int_1      a      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2
M007xor12 out      a      int_2  GNDxor NMOS_VTG L= 50e-9 W= wn2
M008xor12 int_2      b      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2
M009xor12 out      int_2  int_n3 GNDxor NMOS_VTG L= 50e-9 W= wn2
M010xor12 int_n3    int_1  GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2

```

XOR 13-----

```

M001xor13 int_1      a VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp2
M002xor13 out      int_3  int_1  VDDxor PMOS_VTG L= 50e-9 W= wp2
M003xor13 out      b      int_1  GNDxor NMOS_VTG L= 50e-9 W= wn2
M004xor13 int_1      a      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2
M005xor13 out      int_1  int_3  VDDxor PMOS_VTG L= 50e-9 W= wp
M006xor13 out      int_3  int_2  GNDxor NMOS_VTG L= 50e-9 W= wn2
M007xor13 int_2      int_1  GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2
M008xor13 int_3      b      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M009xor13 int_3      b      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn

```

XOR 14-----

```

M001xor14 not_a a      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor14 not_a a      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor14 not_b b      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor14 not_b b      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor14 out  b      a      VDDxor PMOS_VTG L= 50e-9 W= wp
M006xor14 out not_b a      GNDxor NMOS_VTG L= 50e-9 W= wn
M007xor14 out not_b not_a VDDxor PMOS_VTG L= 50e-9 W= wp
M008xor14 out  b      not_a GNDxor NMOS_VTG L= 50e-9 W= wn

```

XOR 15-----

```

M001xor15 not_a a      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor15 not_a a      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor15 not_b b      VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor15 not_b b      GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor15 out_1 not_b a      VDDxor PMOS_VTG L= 50e-9 W= wp
M006xor15 out_1 b      a      GNDxor NMOS_VTG L= 50e-9 W= wn

```

```

M007xor15 out_1  b  not_a  VDDxor PMOS_VTG  L= 50e-9 W= wp
M008xor15 out_1 not_b not_a  GNDxor NMOS_VTG  L= 50e-9 W= wn
M009xor15 out  out_1 VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M010xor15 out  out_1 GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn

```

XOR 17-----

```

M001xor17 out_1  a      b      GNDxor NMOS_VTG  L= 50e-9 W= wn
M002xor17 out_1  b      a      GNDxor NMOS_VTG  L= 50e-9 W= wn
M003xor17 int_1  a      VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp2
M004xor17 out_1  b      int_1 VDDxor PMOS_VTG  L= 50e-9 W= wp2
M005xor17 out  out_1 VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M006xor17 out  out_1 GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn

```

XOR 19-----

```

M001xor19 not_a  a      VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M002xor19 not_a  a      GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M003xor19 not_b  b      VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M004xor19 not_b  b      GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M005xor19 int_1 not_a not_b  VDDxor PMOS_VTG  L= 50e-9 W= wp
M006xor19 int_1  a      b      VDDxor PMOS_VTG  L= 50e-9 W= wp
M007xor19 int_1 int_2 VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M008xor19 int_2  a      b      GNDxor NMOS_VTG  L= 50e-9 W= wn
M009xor19 int_2 not_a not_b  GNDxor NMOS_VTG  L= 50e-9 W= wn
M010xor19 int_2 int_1 VDDxor VDDxor NMOS_VTG  L= 50e-9 W= wn
M011xor19 out  int_2 VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M012xor19 out  int_2 GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn

```

XOR 21-----

```

M001xor21 not_b  b      VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M002xor21 not_b  b      GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn
M003xor21 int_1 not_b  a      VDDxor PMOS_VTG  L= 50e-9 W= wp
M004xor21 int_1  b      a      GNDxor NMOS_VTG  L= 50e-9 W= wn
M005xor21 int_1  a      b      GNDxor NMOS_VTG  L= 50e-9 W= wn
M006xor21 int_1  a      not_b VDDxor PMOS_VTG  L= 50e-9 W= wp
M007xor21 out  int_1 VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp
M008xor21 out  int_1 GNDxor GNDxor NMOS_VTG  L= 50e-9 W= wn

```

XOR 22-----

```

M001xor22 not_b  b      VDDxor VDDxor PMOS_VTG  L= 50e-9 W= wp

```

```

M002xor22 not_b b GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor22 out b a VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor22 out not_b a GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor22 out a b VDDxor PMOS_VTG L= 50e-9 W= wp
M006xor22 out b int_1 GNDxor NMOS_VTG L= 50e-9 W= wn2
M007xor22 int_1 a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn2

```

XOR 23-----

```

M001xor1 not_b b VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor1 not_b b GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor23 out b a VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor23 out not_b a GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor23 out a not_b GNDxor NMOS_VTG L= 50e-9 W= wn
M006xor23 out a b VDDxor PMOS_VTG L= 50e-9 W= wp

```

XOR 24-----

```

M001xor24 not_a a VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor24 not_a a GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor24 out out_xnor VDDxor VDDxor PMOS_VTG L= 50e-9 W= wn
M004xor24 out_xnor out VDDxor VDDxor PMOS_VTG L= 50e-9 W= wn
M005xor24 out not_a b GNDxor NMOS_VTG L= 50e-9 W= wn
M006xor24 out b not_a GNDxor NMOS_VTG L= 50e-9 W= wn
M007xor24 out_xnor b a GNDxor NMOS_VTG L= 50e-9 W= wn
M008xor24 out_xnor a b GNDxor NMOS_VTG L= 50e-9 W= wn

```

XOR 25-----

```

M001xor25 not_b b VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp
M002xor25 not_b b GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M003xor25 out a b VDDxor PMOS_VTG L= 50e-9 W= wp
M004xor25 out a not_b GNDxor NMOS_VTG L= 50e-9 W= wn
M005xor25 out_xnor out VDDxor VDDxor PMOS_VTG L= 50e-9 W= wn
M006xor25 out out_xnor GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M007xor25 out out_xnor VDDxor VDDxor PMOS_VTG L= 50e-9 W= wn
M008xor25 out_xnor out GNDxor GNDxor NMOS_VTG L= 50e-9 W= wn
M009xor25 out_xnor a not_b VDDxor PMOS_VTG L= 50e-9 W= wp
M010xor25 out_xnor a b GNDxor NMOS_VTG L= 50e-9 W= wn

```

XOR 26-----

```

M001xor26 not_a a VDDxor VDDxor PMOS_VTG L= 50e-9 W= wp

```

M002xor26	not_a	a	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M003xor26	not_b	b	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M004xor26	not_b	b	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M005xor26	out	a	b	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M006xor26	out	a	not_b	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M007xor26	out_xnor	out	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wn
M008xor26	out	out_xnor	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M009xor26	out	out_xnor	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wn
M010xor26	out_xnor	out	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M011xor26	out_xnor	not_a	b	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M012xor26	out_xnor	not_a	not_b	GNDxor	NMOS_VTG	L= 50e-9	W= wn

XOR 28-----

M001xor28	not_a	a	VDD	VDD	PMOS_VTG	L= 50e-9	W= wp
M002xor28	not_a	a	GND	GND	NMOS_VTG	L= 50e-9	W= wn
M003xor28	int_pp	a	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wp2
M004xor28	int_1	b	int_pp	VDDxor	PMOS_VTG	L= 50e-9	W= wp2
M005xor28	int_1	not_a	b	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M006xor28	int_1	a	b	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M007xor28	int_1	b	a	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M008xor28	out	int_1	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M009xor28	out	int_1	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn

XOR 29-----

M001xor29	out_int	b	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M002xor29	out_int	b	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M003xor29	outinv	a	b	b	PMOS_VTG	L= 50e-9	W= wp
M004xor29	outinv	a	out_int	out_int	NMOS_VTG	L= 50e-9	W= wn

*Inversores adicionados devido a falta de excursão do sinal

M005xor29	intinv	outinv	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M006xor29	intinv	outinv	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn
M007xor29	out	intinv	VDDxor	VDDxor	PMOS_VTG	L= 50e-9	W= wp
M008xor29	out	intinv	GNDxor	GNDxor	NMOS_VTG	L= 50e-9	W= wn

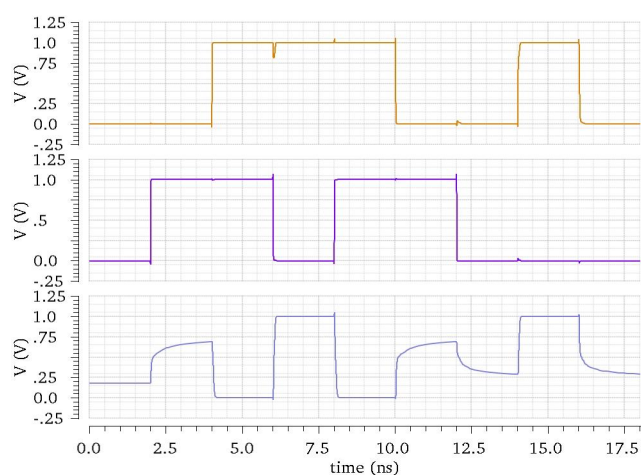
XOR 30-----

M005	a_13_43	b	VDDxor	VDDxor	PMOS_VTG	L=50e-9	W=wp
M011	a_13_43	b	GNDxor	GNDxor	NMOS_VTG	L=50e-9	W=wn
M004	VDDxor	b	a_35_54	VDDxor	PMOS_VTG	L=50e-9	W=wp2

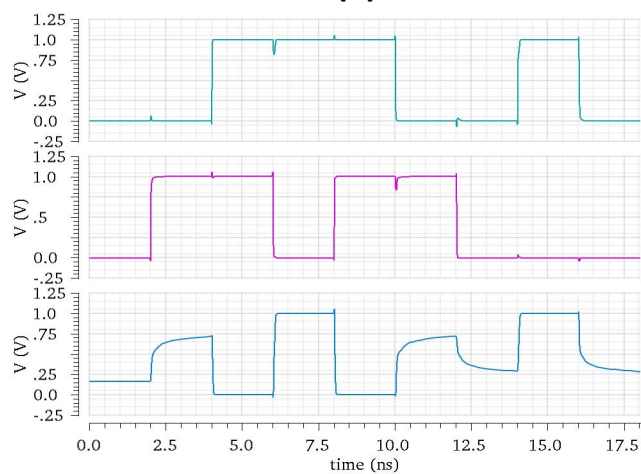
M010	GNDxor	b	a_35_6	GNDxor	NMOS_VTG	L=50e-9	W=wn2
M003	a_35_54	a_2_6	out	VDDxor	PMOS_VTG	L=50e-9	W=wp2
M009	a_35_6	a	out	GNDxor	NMOS_VTG	L=50e-9	W=wn2
M002	out	a	a_18_54	VDDxor	PMOS_VTG	L=50e-9	W=wp2
M008	out	a_2_6	a_18_6	GNDxor	NMOS_VTG	L=50e-9	W=wn2
M001	a_18_54	a_13_43	VDDxor	VDDxor	PMOS_VTG	L=50e-9	W=wp2
M007	a_18_6	a_13_43	GNDxor	GNDxor	NMOS_VTG	L=50e-9	W=wn2
M000	VDDxor	a	a_2_6	VDDxor	PMOS_VTG	L=50e-9	W=wp
M006	GNDxor	a	a_2_6	GNDxor	NMOS_VTG	L=50e-9	W=wn

APÊNDICE B

Os arranjos XOR 9, XOR 10, XOR 11 e XOR 29 não apresentam, em todas as transições, excursão do sinal dentro dos parâmetros de teste aplicados neste trabalho. A figura 1 exhibe, respectivamente, em todas as imagens, entrada A, entrada B e saída OUT dos arranjos XOR 9(a) e XOR 11(b).



(a)



(b)

Figura 1: Sinal de saída das XOR 9 e XOR 11

Os arranjos XOR 9 e XOR 11 apresentam sinais de saída semelhantes, e verifica-se que o sinal excursiona totalmente apenas em transições que ocorrem por mudanças no sinal de entrada B com o sinal de entrada A em nível alto. A figura 2 exibe o desenho do arranjo XOR 9 com os caminhos que os sinais de entrada A e B percorrem até a saída OUT.

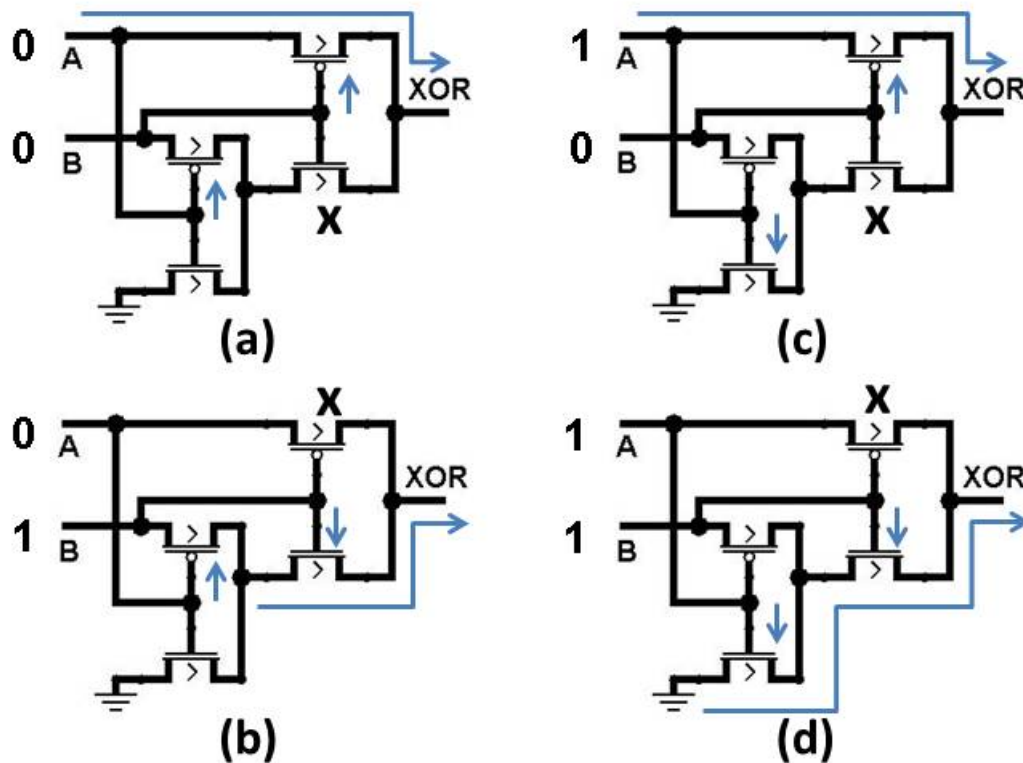


Figura 2: Caminhos dos sinais de entrada no arranjo XOR 9

A figura 2 permite verificar duas situações teóricas confirmadas pelo gráfico. Nos casos em que o sinal de entrada $A=0$, caso $B=0$, o sinal de entrada $A=0$ será transmitido para a saída através de um transistor de tipo P (a), e caso $B=1$, este sinal passará por um transistor de tipo P, mas fechará o transistor N próximo à saída, e passará por ele (b). Nos casos em que $A=1$ os sinais serão transmitidos por transistores de tipo mais adequado à sua transmissão. O arranjo XOR 11 difere da XOR 9 por ter uma fonte (*source*) ligada à VDD, ao invés do sinal de entrada.

O arranjo XOR 10 não possui excursão completa do sinal quando um dos sinais está fixo em nível lógico baixo. A figura 3 exibe, respectivamente, os sinais de entrada A e B e o sinal de saída OUT da XOR 10.

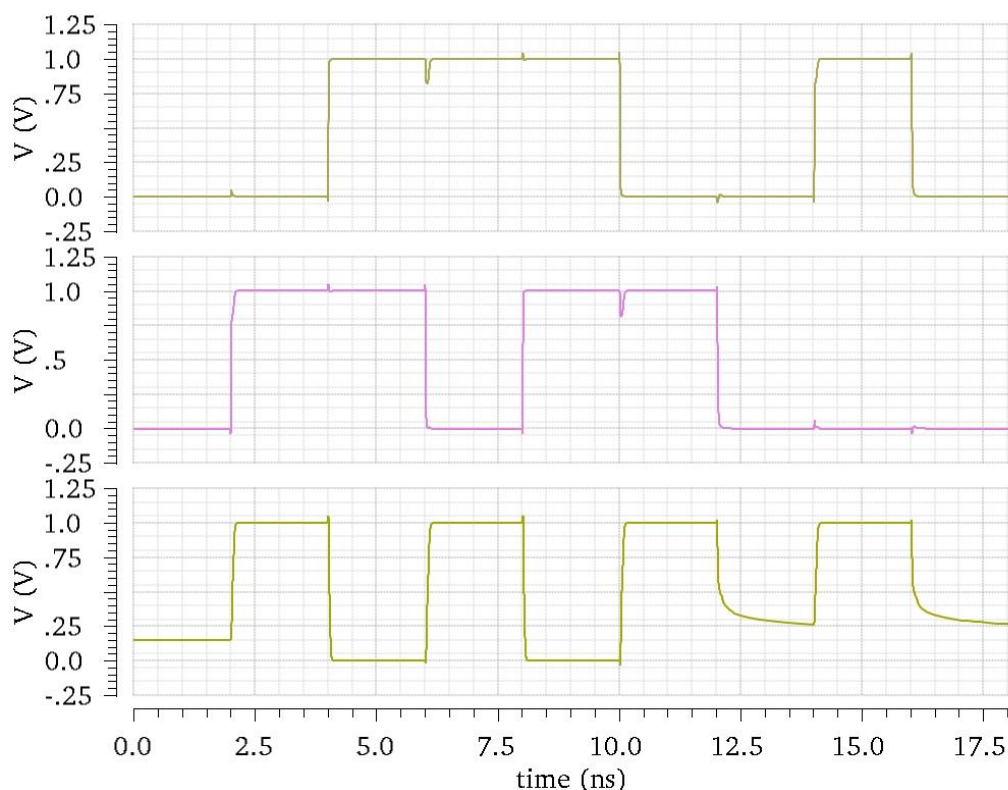


Figura 3: Sinais de entrada e saída da XOR 10

A análise do desenho da XOR 10 permite verificar que a combinação de entradas em nível lógico baixo acarreta a passagem do sinal por transistores de tipo P para serem transmitidos à saída, o que explica a excursão de sinal deficiente nas descidas à 12 ns e 16 ns. A subida à 14 ns excursiona rapidamente até a tensão máxima da fonte de alimentação, o que confirma o comportamento esperado do circuito em função de seu arranjo de transistores.

A tabela 1 apresenta as combinações de sinal de entrada, o valor lógico esperado na saída e a situação esperada para o sinal, considerando-se “FORTE” os sinais de nível lógico baixo (0) transmitidos por transistores N até a saída e os sinais de nível lógico alto (1) transmitidos por transistores P até a saída, e “FRACO” os sinais de nível lógico baixo (0) transmitidos por transistores P até a saída e os sinais de nível lógico alto (1) transmitidos por transistores N até a saída.

Tabela 1: Combinações de sinais de entrada e saída da XOR 10

A	B	OUT	Situação
0	0	0	Fraco
0	1	1	Forte
1	0	1	Forte
1	1	0	Forte

O arranjo XOR 29, baseado no conceito de “células GDI” apresentou o sinal de saída com excursão completa apenas nos arcos em que o sinal de entrada B está estável em nível lógico alto e o sinal de A muda, fato que pode ser explicado pelo desenho do arranjo, que torna necessário que um transistor do tipo P transmita o sinal baixo ou um transistor N transmita sinal alto quando $B=0$. A figura 4 exhibe, respectivamente, os sinais A, B e OUT do arranjo XOR 29.

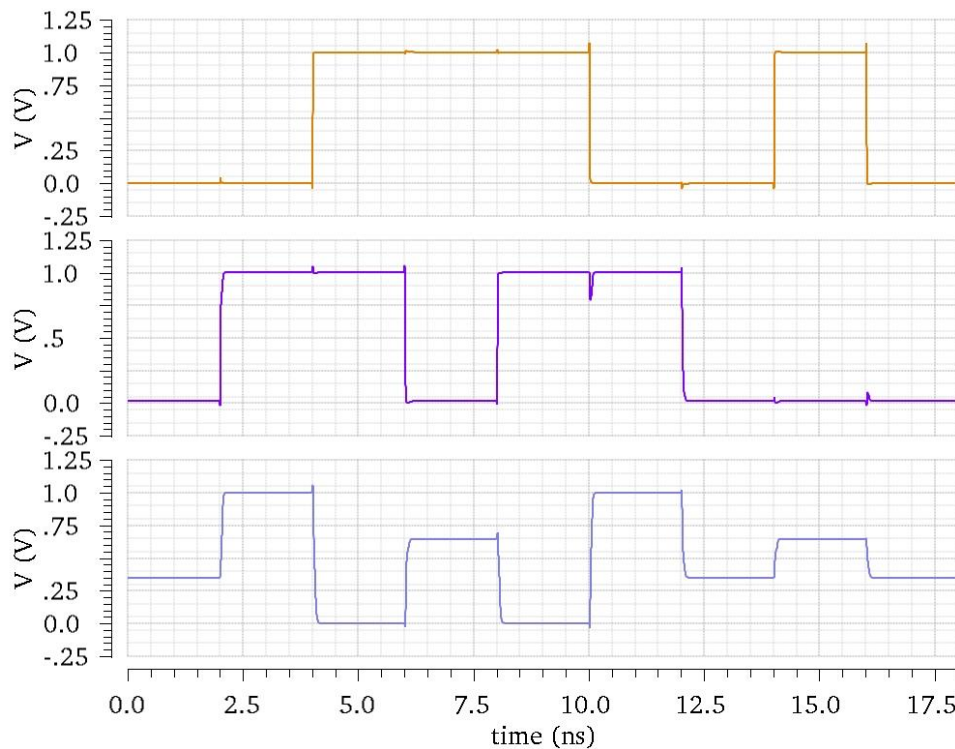


Figura 4: Sinal de saída da XOR 29

Uma das técnicas utilizadas para a restauração do sinal em circuitos PTL é a adição de buffers nas saídas que sofrem degradação do sinal (PARAMESWAR, HARA, SAKURAI, 1996). A figura 5 exhibe o sinal de saída de um dos inversores incluídos nos testes como carga de saída para os arranjos XOR 7 (a), XOR 9 (b), XOR 10 (c), XOR 11 (d) e XOR 29 (e).

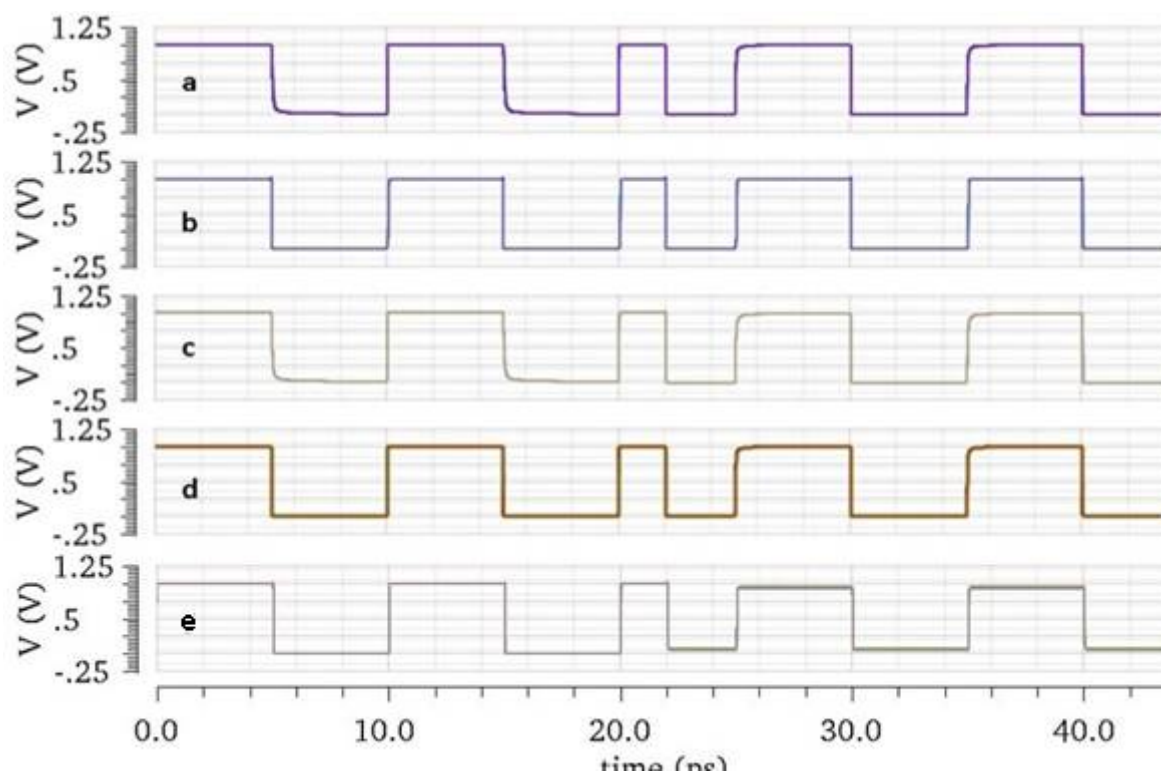


Figura 5: Sinal de arranjos PTL regenerado após passagem por um inversor

Para todos os casos de teste neste trabalho o sinal de saída OUT dos arranjos XOR atinge excursão total após passar por apenas um inversor.

APÊNDICE C

Para o tamanho de transistor 1x, quinze arranjos testados apresentam variação no consumo estático entre 172% e 199% ao variar a temperatura entre 27°C e 100°C. Os Arranjos XOR 7, XOR 9, XOR 10, XOR 11, XOR 17, XOR 19 e XOR 29 apresentam variações severamente diferentes dos demais arranjos.

Além do segundo maior consumo estático, o arranjo XOR 29 apresenta redução no consumo estático em função do aumento de temperatura semelhante à redução no consumo dinâmico. O alto consumo deste arranjo está concentrado nos casos em que a entrada B está em nível lógico baixo. A figura 1 exibe as correntes das fontes de alimentação da XOR 29 para o tamanho de transistor 1x e temperaturas de 27°C e 100°C.

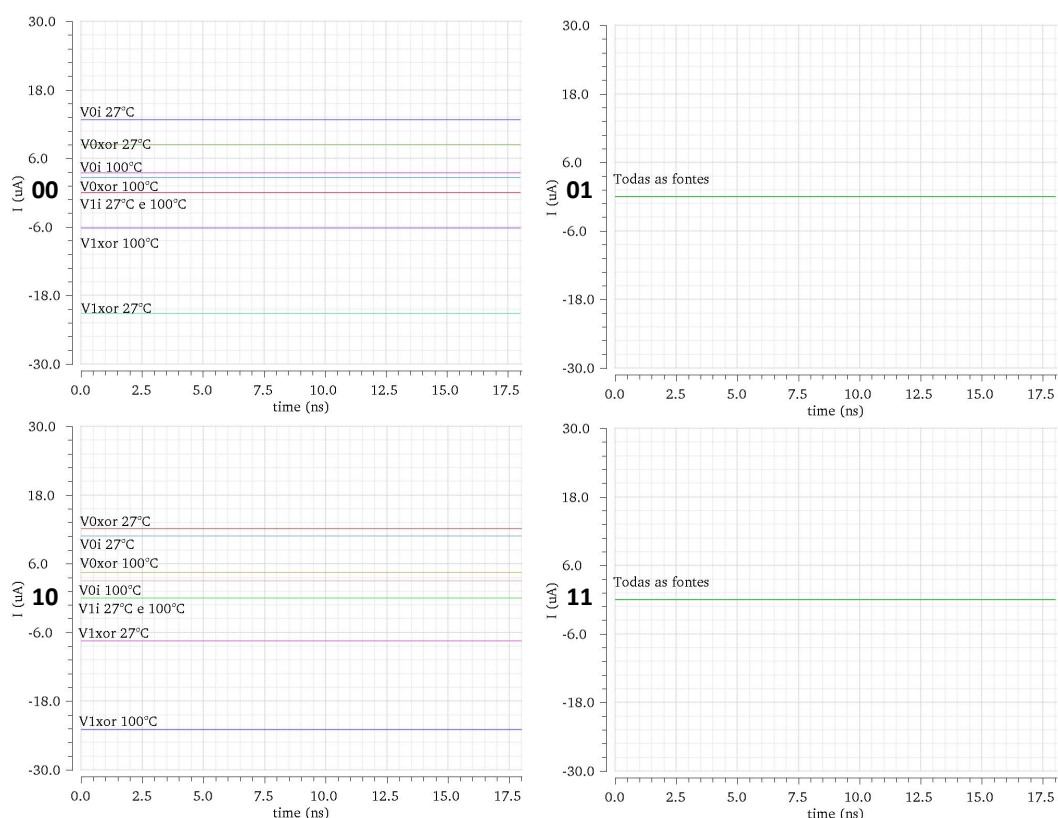


Figura 1: Corrente nas fontes de alimentação da XOR 29

Assim como em relação ao consumo dinâmico, o arranjo que apresenta maior consumo estático é XOR 19 e, além do alto consumo, XOR 19 apresenta redução no consumo conforme há aumento da temperatura de operação. A figura 2 exibe as correntes para as quatro entradas possíveis, para o tamanho de transistor 1x e temperaturas de 27°C e 100°C.

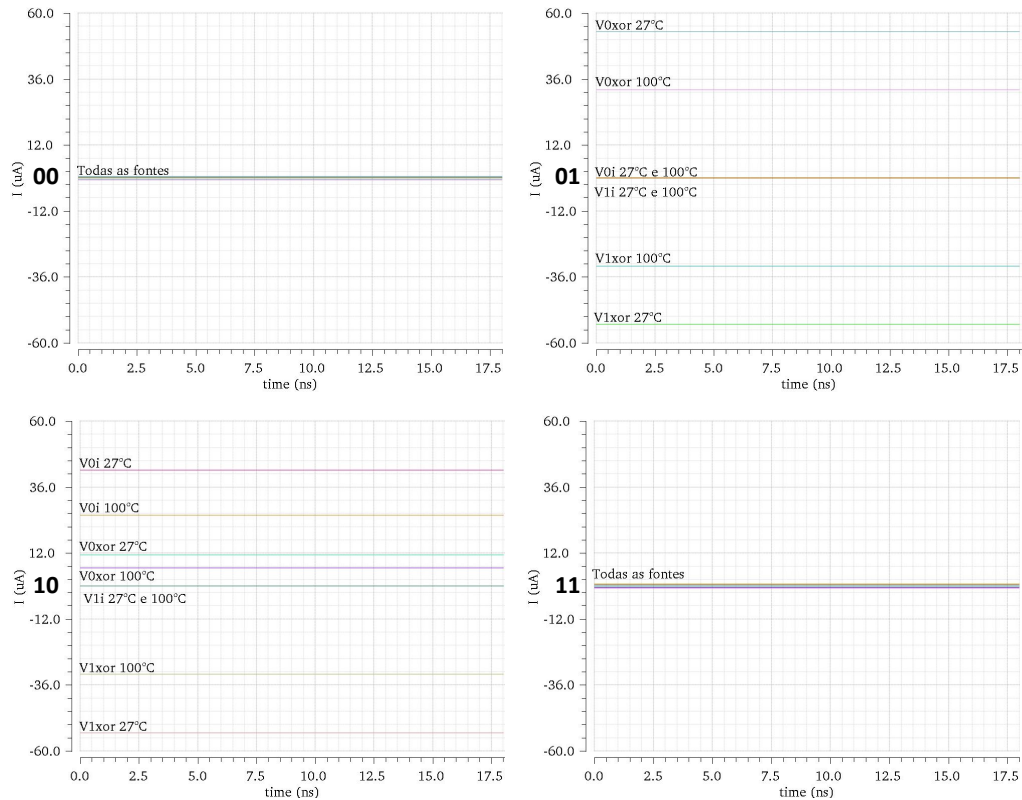


Figura 2: Corrente nas fontes de alimentação da XOR 19

As correntes das quatro fontes de alimentação da XOR 19 não excedem 1 uA quando ambas entradas estão recebendo o mesmo nível lógico. Quando as entradas são diferentes, e a saída da função XOR será nível lógico alto, para a entrada "01", A=0 e B=1, As fontes V0xor e V1xor são as responsáveis pelo alto consumo. Para a entrada "10", A=1 e B=0 são as fontes V0i e V1xor que apresentam correntes altas. Os casos de entradas diferentes são os mesmos que resultam em alto consumo dinâmico para este arranjo.

APÊNDICE D

Os nove arranjos que apresentam redução no consumo dinâmico quando aumenta a temperatura de operação do circuito, junto ao arranjo XOR 25, que apresenta aumento de apenas 2,70% no consumo, apresentam também os dez maiores consumos entre os arranjos testados.

A avaliação do comportamento destes arranjos em relação ao consumo deve considerar também que apresentam problemas em outros parâmetros avaliados. Os dez arranjos de maior consumo apresentam também problemas em relação a tempos de transição e/ou propagação, e quatro apresentam problemas de excursão do sinal.

O arranjo XOR 19, maior consumo dinâmico do conjunto de arranjos avaliado apresenta também consumo decrescente em relação ao aumento de temperatura. A figura 1 apresenta a corrente da fonte V_{0i} , que alimenta os transistores de tipo N na segunda linha de inversores de entrada no circuito de testes ao qual os arranjos são anexados, para o tamanho de transistor 1x, temperaturas de 27°C e 100°C no arranjo XOR 19.

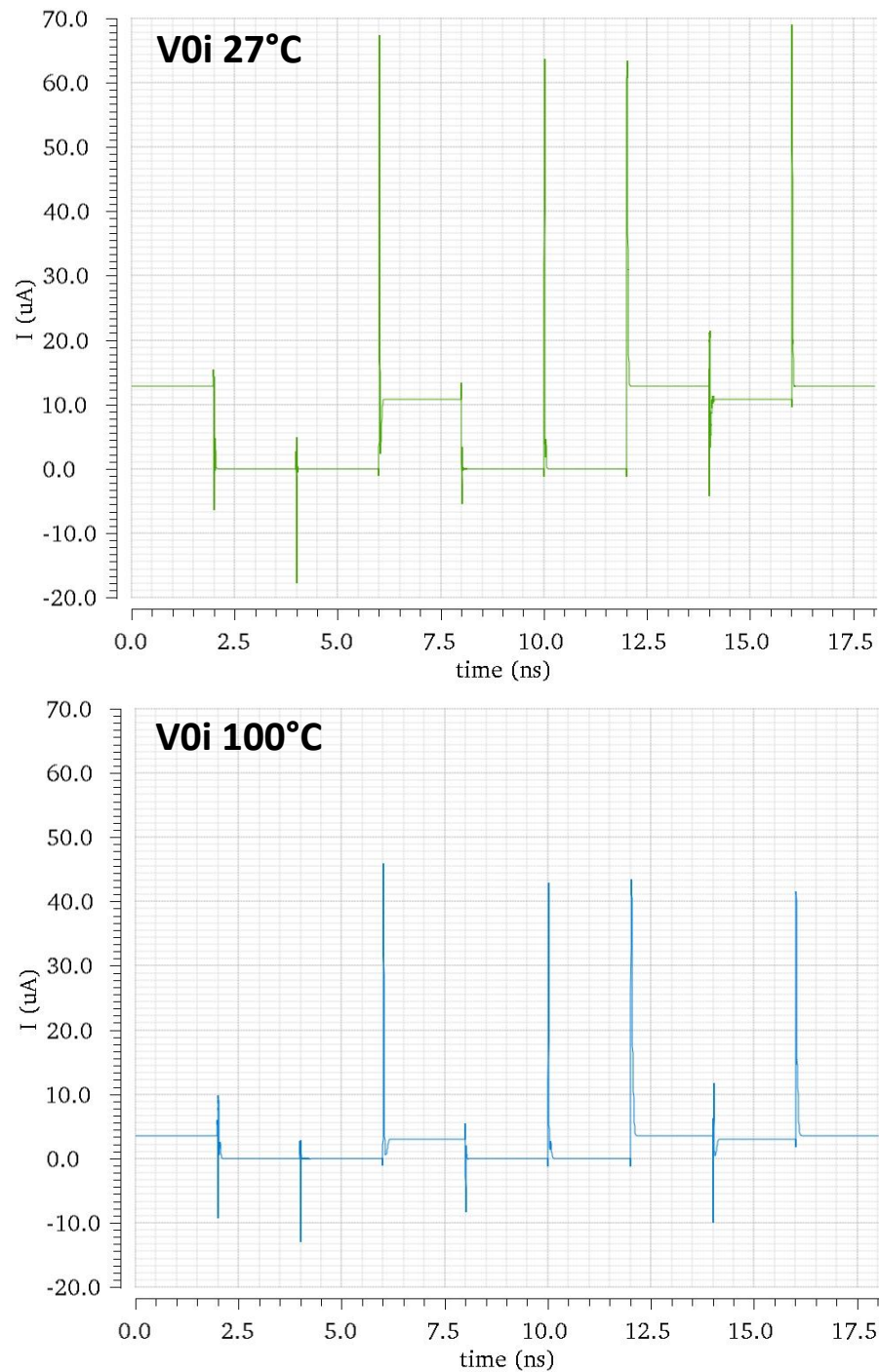


Figura 1: Corrente na fonte V0i para o arranjo XOR 19

A fonte V0xor, que alimenta os transistores de tipo N dos arranjos em teste, e a fonte v1xor, que alimenta os transistores de tipo P, também apresentam correntes altas, que confirmam os resultados numéricos fornecidos pelo Spectre. A fonte V1i, que alimenta os transistores de tipo P da segunda linha de inversores do circuito de entrada apresenta resultados parecidos com XOR 30, utilizado pela FreePDK 45, no que diz respeito à forma de onda. A figura 2 apresenta as correntes para as quatro

fontes avaliadas no arranjo XOR 19, para o tamanho de transistor 1x à temperatura de 100°C.

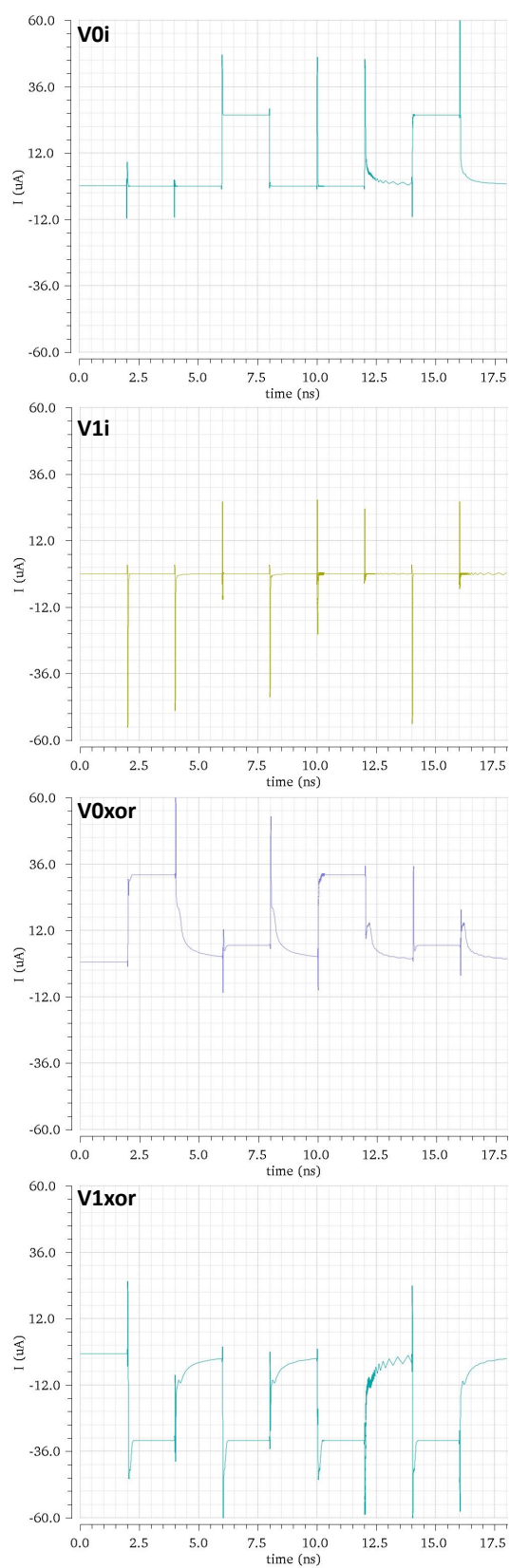


Figura 2: Fontes de alimentação do arranjo XOR 19

O alto consumo do arranjo XOR 19 acontece pela manutenção da corrente alta após algumas transições. A figura 3 apresenta as ligações das fontes em teste aos transistores do arranjo.

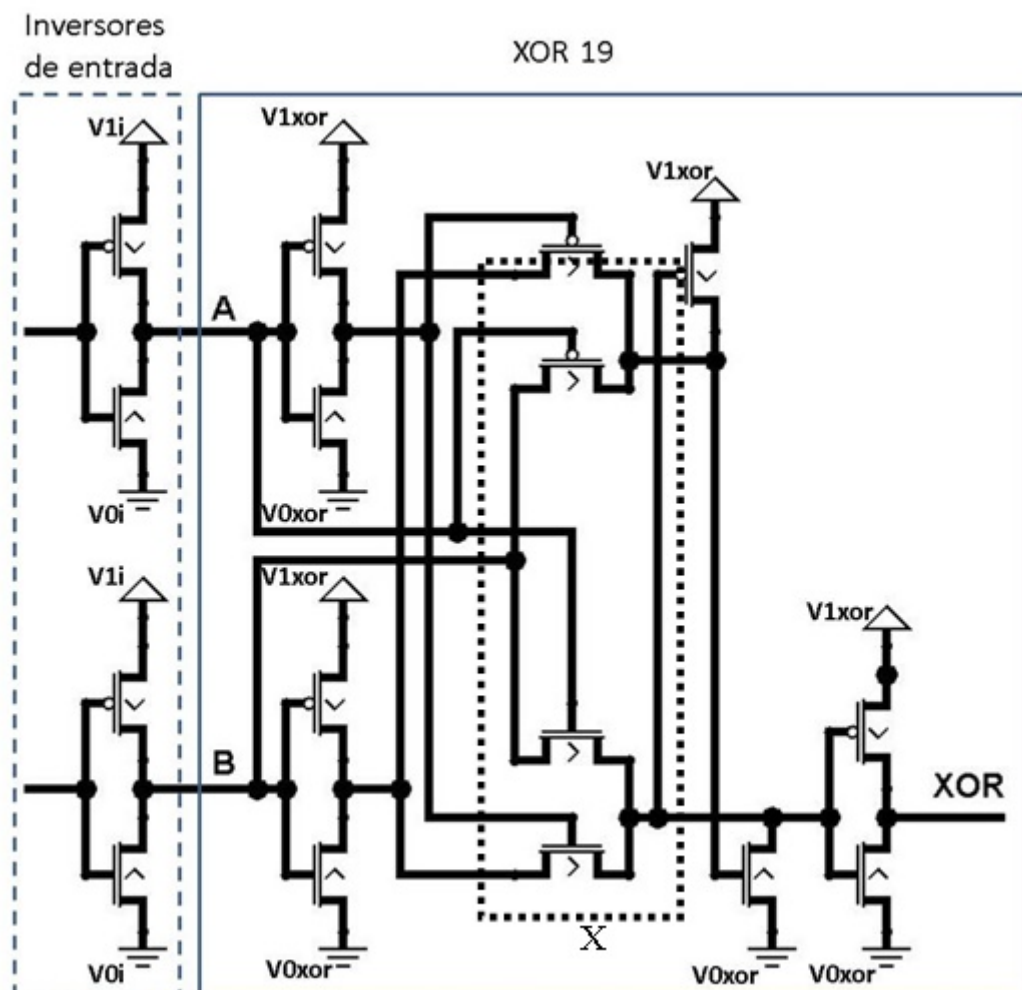


Figura 3: Ligações das fontes de alimentação à XOR 19

Para a fonte $V0i$ a corrente mantém-se alta quando há uma transição que gere os sinais $A=1$ e $B=0$. Em $V0xor$ a corrente mantém-se alta quando há transições em que o sinal de saída dos inversores ligados à fonte estão transmitindo sinais de mesmo nível lógico e um deles muda de nível, provocando uma transição no sinal de saída. $V1xor$ mantém alta a corrente sempre que a saída do arranjo torna-se alta.

No arranjo XOR 19 o inversor ligado à entrada A controla as portas (gate) de quatro transistores cujas fontes (source) estão conectados ao inversor da entrada “B”, conforme exhibe a figura 3(X). Partindo de qualquer estado cujo nível lógico das entradas seja igual (0 e 0, 1 e 1), ao ocorrer uma mudança no nível lógico da entrada A, a fonte $V0i$ mantém sua corrente alta até a próxima transição, enquanto o mesmo ocorre à fonte $V0xor$ quando a mudança ocorre no nível lógico da entrada B. A figura 4 apresenta casos em que esta situação ocorre em cada uma das fontes de alimentação.

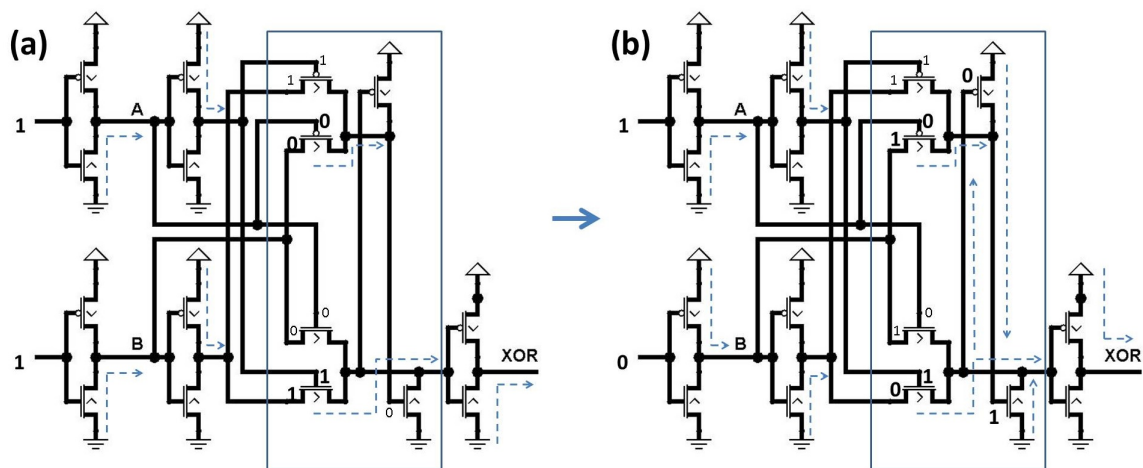


Figura 4: Fluxo dos sinais em XOR 19 para um dos casos em que a corrente permanece alta

A figura 4(a) e (b) exibe a transição que ocorre em 6 ns nos testes de verificação do consumo dos arranjos. Neste caso, tem-se o segundo grupo de inversores de entrada com nível lógico alto e, ao atingir 6 ns há a mudança do nível lógico do transistor ligado à entrada B. Como esta entrada está ligada às fontes dos quatro transistores capazes de propagar o sinal, não há alteração no caminho dos sinais até este ponto, havendo, no entanto, alteração no nível lógico dos dois transistores que estão transmitindo o sinal. Enquanto na figura 4(a) temos um transistor de tipo “P” transmitindo nível lógico baixo (0), e um transistor de tipo “N” transmitindo um sinal de nível lógico alto (1), na figura 4(b) esta transmissão inverte-se, passando-se de uma transmissão de sinal “fraca” para um sinal “forte”. Neste caso, as fontes V0i e V1xor permanecem com a corrente alta.

Os casos de alto consumo do arranjo XOR 19 ocorrem a partir da mudança de nível lógico baixo para alto na saída.

**Comparação de diferentes topologias de portas XOR
em uma tecnologia de 45-nm – Leonardo Campos So-
ares**



UNIVERSIDADE FEDERAL DE PELOTAS
Centro de Desenvolvimento Tecnológico
Programa de Pós-Graduação em Computação



Dissertação

**Comparação de diferentes topologias de portas XOR em
uma tecnologia de 45-nm**

LEONARDO CAMPOS SOARES

Pelotas, 2016